

数据手册

Datasheet

G32R430

基于 **Cortex-M52** 内核的 **32 位编码器专用 MCU**

版本: **V1.1**

1. 产品特性

■ 内核

- Arm® Cortex®-M52 32 位内核
- 全温全压下最高 128MHz 工作频率
- 工作电压 1.7~3.6V
- 内置 4KB Cache
- 内置硬件 TMU：支持 ATAN 运算
- 支持嵌套矢量中断控制器 NVIC
- 支持 ITCM/DTCM 扩展

■ 存储器及接口

- Flash：容量最高为 128KB
- TCM：其中 16KB DTCM, 32KB ITCM

■ 时钟

- HSECLK：支持 8~26MHz 外部晶体/陶瓷振荡器
- LSECLK：支持 32.768kHz 晶体/陶瓷振荡器
- HSICLK：出厂校准的 8MHz RC 振荡器
- LSICLK：支持 32kHz RC 振荡器
- PLL：锁相环时钟，最大输出频率 128MHz

■ 电源与电源管理

- V_{DD} 范围：1.7~3.6V
- V_{DDA} 范围：1.7~3.6V
- 支持上电/掉电复位（POR/PDR）
- 支持可编程电源电压检测器（PVD）
- 支持主电检测（EVS）

■ 低功耗模式

- 支持停机、待机两种低功耗模式

■ DMA

- 1 个 DMA，有 8 个数据流

■ 调试接口

- SWD

■ I/O

- 最多有 48 个 I/O
- 所有 I/O 都可以映射到外部中断向量，并从 STOP 模式唤醒
- 最多有 6 个容忍 5V 输入的 I/O
- 最多 4 个 I/O 支持 STANDBY 唤醒

■ 通信外设

- 2 个 USART，最大传输速率 16MSPS，支持 RS485 的发送使能 IO 自动控制
- 1 个 I2C，最高支持 400kHz
- 1 个 SPI，主从模式的最大传输速率 50Mbit/s

■ 模拟外设

- 2 个 16 位 ADC，支持规则序列、注入序列、单次、连续采样模式，支持主从模式，配置主从时保持采样同步，多达 6 对差分/12 个单端采样通道
- 1 个 12 位的 ADC，最多支持 14 个外部通道和 2 个内部通道
- 2 个 10 位 DAC，DAC 输出可配置为比较器输入
- 1 个温度传感器
- 4 个可编程模拟比较器（COMP）

■ 定时器

- 1 个 16 位高级定时器，最多有 4 个互补通道，支持输入捕获、输出比较、刹车、死区、PWM 与脉冲计数等功能
- 3 个 16 位通用定时器，每个定时器最多有 4 个独立通道，支持输入捕获、输出比较、PWM 与脉冲计数等功能
- 1 个 16 位低功耗定时器
- 2 个看门狗定时器：一个独立看门狗 IWDG 和一个窗口看门狗 WWDG

■ RTC

- 支持日历功能
- 可从停机/待机模式下报警和定期唤醒

■ 芯片封装

- UFBGA64 (5x5mm)
- QFN60 (6x6mm)
- QFN48 (7x7mm)
- QFN32 (5x5mm)

目录

1. 产品特性	1
2. 产品信息	7
3. 引脚信息	8
3.1. 引脚分布	8
3.2. 引脚功能描述	10
3.3. GPIO 复用功能配置	14
4. 功能描述	17
4.1. 系统架构	18
4.1.1. 系统框图	18
4.1.2. 地址映射	18
4.1.3. 启动配置	19
4.2. 内核	20
4.3. 运算加速器	20
4.3.1. 三角法数学单元 (TMU)	20
4.4. 中断控制器	20
4.5. 嵌套的向量式中断控制器(NVIC)	20
4.5.1. 外部中断/事件控制器(EINT)	20
4.6. 片上存储器	20
4.6.1. Flash	21
4.6.2. TCM	21
4.7. 复位与时钟	21
4.7.1. 时钟树	21
4.7.2. 时钟源	22
4.7.3. 系统时钟	22
4.7.4. 总线时钟	22
4.7.5. 锁相环	22
4.7.6. 复位	22

4.8. 电源与电源管理.....	22
4.8.1. 电源方案	22
4.8.2. 1.2V 调压器.....	22
4.8.3. 电源电压监控器	23
4.8.4. 主电检测模块	23
4.9. 低功耗模式	23
4.10. DMA	23
4.11. GPIO	23
4.12. 通信外设.....	24
4.12.1.USART.....	24
4.12.2.I2C	24
4.12.3.SPI.....	24
4.13. 模拟外设.....	24
4.13.1.16 位 ADC.....	24
4.13.2.12 位 ADC.....	24
4.13.3.温度传感器	25
4.13.4.LTCBG	25
4.13.5.DAC	25
4.13.6.比较器（COMP）	25
4.14. 定时器	25
4.15. RTC.....	28
4.16. 备份寄存器	28
5. 电气特性	29
5.1. 电气特性测试条件	29
5.1.1. 最大值和最小值.....	29
5.1.2. 典型值	29
5.1.3. 典型曲线	29
5.1.4. 电源方案	29
5.1.5. 负载电容	30
5.2. 通用工作条件下的测试.....	31
5.3. 外部电容器	31

5.4. 绝对最大额定值.....	31
5.4.1. 最大温度特性	32
5.4.2. 最大额定电压特性	32
5.4.3. 最大额定电流特性	32
5.4.4. 静电放电（ESD）	33
5.4.5. 闩锁效应（LU）	33
5.5. 片上存储器	33
5.5.1. Flash 特性	33
5.6. 时钟	33
5.6.1. 外部时钟源特性	33
5.6.2. 内部时钟源特性	35
5.6.3. PLL 特性	36
5.7. 电源与电源管理	36
5.7.1. 内嵌复位和电源控制模块特性测试	36
5.7.2. 主电检测模块（EVS）	37
5.8. 热阻特征	38
5.9. 功耗	38
5.9.1. 功耗测试环境	38
5.9.2. 运行模式功耗	39
5.9.3. 停机模式功耗	39
5.9.4. 待机模式功耗	40
5.10. 低功耗模式唤醒时间	40
5.11. I/O 端口特性	40
5.11.1. 直流特性	40
5.11.2. 输出驱动电流特性	41
5.11.3. 交流特性	41
5.11.4. 输出驱动电压特性	42
5.12. NRST 引脚特性	42
5.13. 通信外设	43
5.13.1. I2C 外设特性	43
5.13.2. SPI 外设特性	44

5.14. ADC 特性	46
5.14.1.16 位 ADC 特性	47
5.14.2.12 位 ADC 特性	49
5.15. 温度传感器特性	50
5.16. LTCBG 参考电压	50
5.17. 比较器特性	50
5.18. DAC 特性	51
6. 封装信息	52
6.1. UFBGA64 封装信息	52
6.2. QFN60 封装信息	54
6.3. QFN48 封装信息	57
6.4. QFN32 封装信息	59
6.5. 封装标识	61
7. 包装信息	62
7.1. 托盘包装	62
8. 订货信息	64
9. 常用功能模块命名	65
10. 版本历史	66

2. 产品信息

产品功能和外设配置请参阅下表。

表格 1 芯片功能和外设

产品		G32R430			
型号		RBI7	UBU7	CBU7	KBU7
封装		UFBGA64	QFN60	QFN48	QFN32
内核及最大工作频率		Arm® Cortex®-M52 32-bit @128MHz			
工作电压		1.7~3.6V			
闪存 (KB)		128			
DTCM (KB)		16			
ITCM (KB)		32			
TMU		1			
DMA		1			
GPIOs		48	45	34	21
通信接口	USART	2			
	SPI	1			
	I2C	1			
定时器	16 位高级	1			
	16 位通用	3			
	16 位低功耗	1			
	24 位计数器 (SysTick)	1			
	看门狗	2 (IWDG+WWDT)			
实时时钟 (RTC)		1			
16 位 ADC	单元	2			
	通道	12	12	8	4
12 位 ADC	单元	1			
	通道	16	16	13	10
10 位 DAC	单元	2			
	通道	2			
比较器		4			
温度传感器		1			
工作温度		环境温度: -40°C 至 105°C 结温度: -40°C 至 125°C			

3. 引脚信息

3.1. 引脚分布

图 1 UFBGA64 引脚分布图

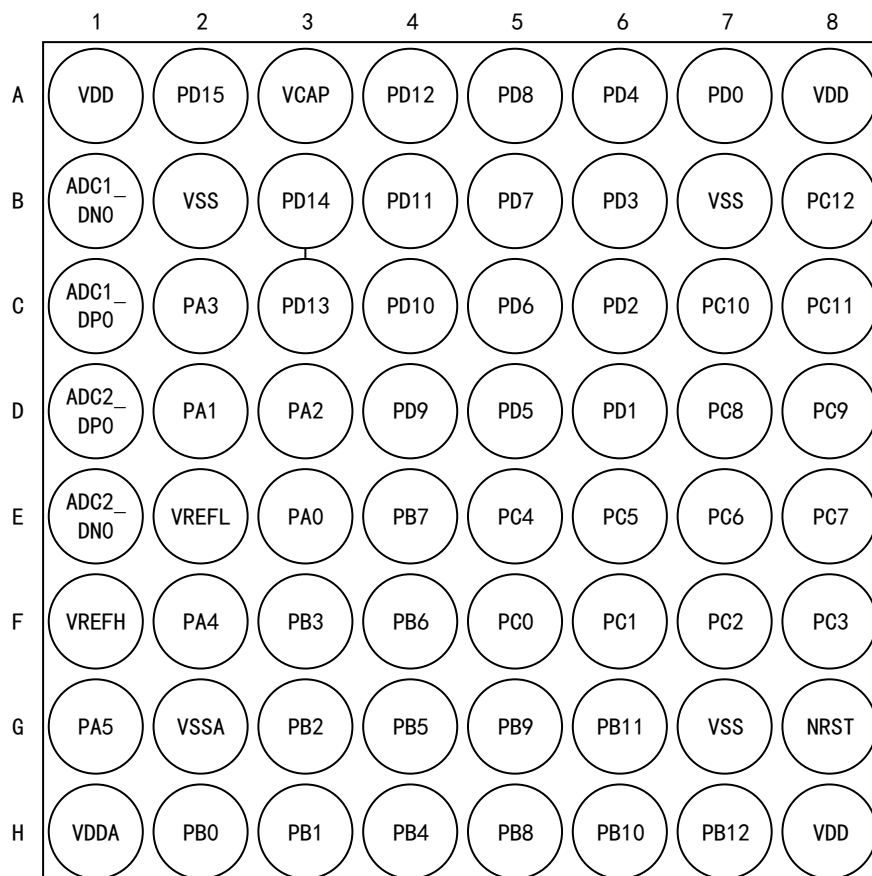


图 2 QFN60 引脚分布图

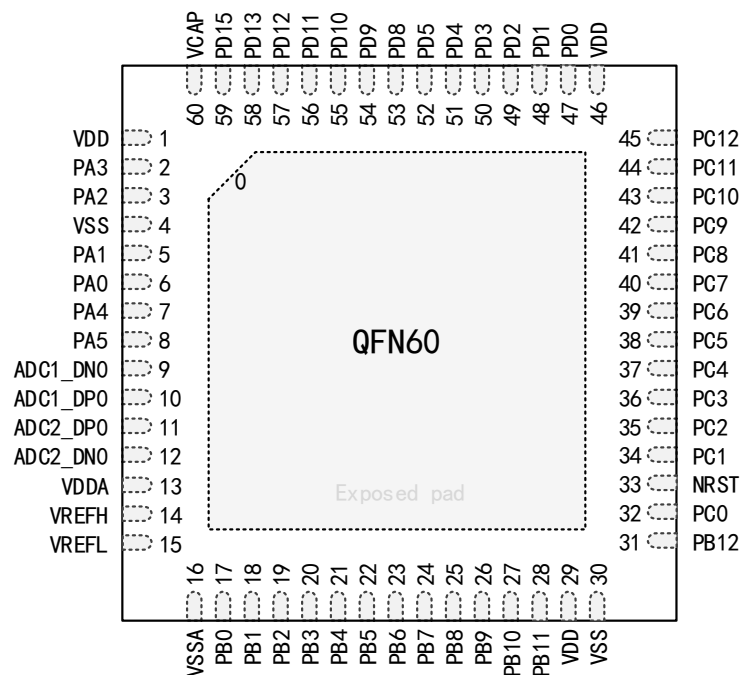


图 3 QFN48 引脚分布图

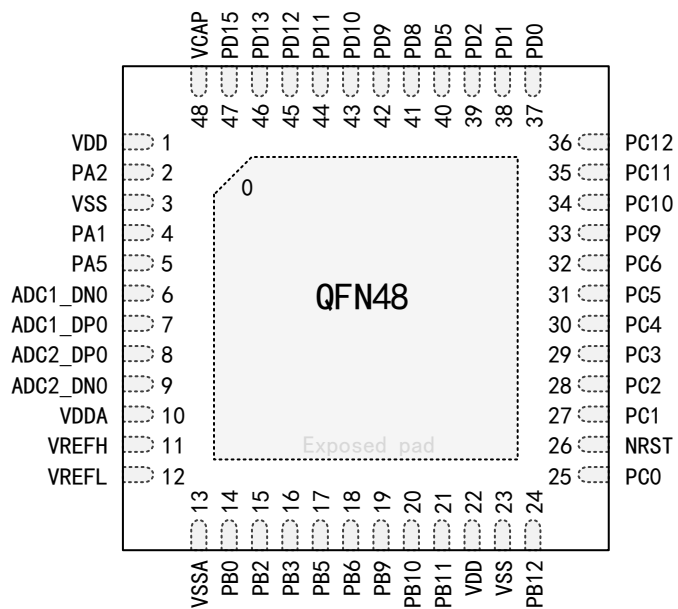
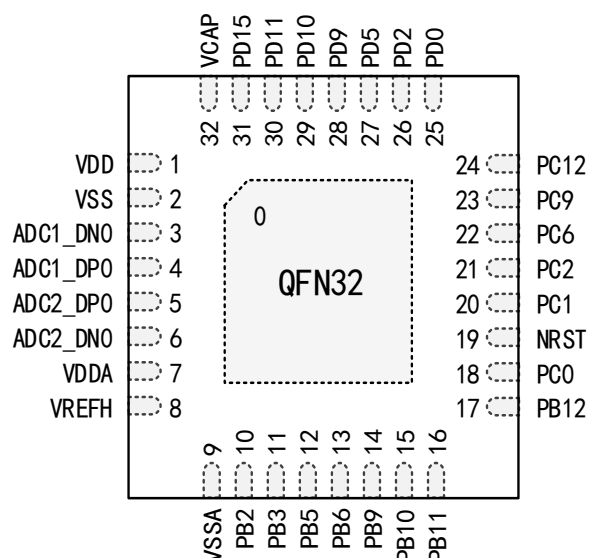


图 4 QFN32 引脚分布图



3.2. 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称		缩写	定义
引脚名称		除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同	
引脚类型		P	电源引脚
		I	仅输入引脚
		O	仅输出引脚
		I/O	I/O 引脚
I/O 结构		5T	5V 容忍 I/O
		STDA	3.3V 标准、直接连接到 ADC 的 I/O
		STD	3.3V 标准 I/O
		B	专用 Boot0 引脚
		RST	内置上拉电阻的双向复位引脚
注意		除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入	
引脚功能	默认复用功能	通过外设寄存器直接选择/启用此功能	
	重定义功能	通过 AFIO 的重映射寄存器选择此功能	

表格 3 按引脚序号排序描述

UFBGA64	QFN60	QFN48	QFN32	引脚名称 (复位后功能)	类型	结构	默认功能	复用功能	附加功能
A1	1	1	1	VDD	P	-	VDD	-	-
C2	2	-	-	PA3	I/O	STD	ADC1_DN2	TMR2_CH4	ADC1_SE5
D3	3	2	-	PA2	I/O	STD	ADC1_DN1	TMR2_CH3	ADC1_SE4
B2	4	3	2	VSS	P	-	-	-	-
D2	5	4	-	PA1	I/O	STD	ADC1_DP1	TMR2_CH2	ADC1_SE1
E3	6	-	-	PA0	I/O	STD	ADC1_DP2	TMR2_CH1	ADC1_SE2
F2	7	-	-	PA4	I/O	STD	ADC2_DP2	TMR2_ETR	ADC2_SE2
G1	8	5	-	PA5	I/O	STD	ADC2_DP1	TMR2_CH4 TMR2_ETR	ADC2_SE1
B1	9	6	3	ADC1_DN0	I	-	ADC1_DN0	-	ADC1_SE3
C1	10	7	4	ADC1_DP0	I	-	ADC1_DP0	-	ADC1_SE0
D1	11	8	5	ADC2_DP0	I	-	ADC2_DP0	-	ADC2_SE0
E1	12	9	6	ADC2_DN0	I	-	ADC2_DN0	-	ADC2_SE3
H1	13	10	7	VDDA	P	-	VDDA	-	-
F1	14	11	8	VREFH	P	-	VREFH	-	-
E2	15	12	-	VREFL	P	-	VREFL	-	-
G2	16	13	9	VSSA	P	-	VSSA	-	-
H2	17	14	-	PB0	I	-	ADC2_DN1	-	ADC2_SE4
H3	18	-	-	PB1	I	-	ADC2_DN2	-	ADC2_SE5
G3	19	15	10	PB2	I/O	STD	PB2	USART1_CK TMR3_ETR TMR3_CH1	ADC3_CH0 COMP3_IP0 COMP3_IN0
F3	20	16	11	PB3	I/O	STD	PB3	I2C_SCL USART1_TX TMR3_CH1	ADC3_CH1 COMP3_IP1 COMP3_IN1
H4	21	-	-	PB4	I/O	5T	PB4	I2C_SDA USART1_RX TMR3_CH2	DAC1_OUT
G4	22	17	12	PB5	I/O	STD	SWCLK	I2C_SDA USART1_CTS TMR3_CH3	ADC3_CH2
F4	23	18	13	PB6	I/O	5T	PB6	USART1_RX TMR3_CH4 COMP1_OUT	COMP4_IN0
E4	24	-	-	PB7	I/O	STD	PB7	USART1_DE TMR2_CH1 TMR3_ETR	COMP4_IP0

UFBGA64	QFN60	QFN48	QFN32	引脚名称 (复位后功能)	类型	结构	默认功能	复用功能	附加功能
H5	25	-	-	PB8	I/O	STD	PB8	TMR2_CH4	COMP4_IN1
G5	26	19	14	PB9	I/O	STD	PB9	USART1_TX TMR2_CH2 COMP2_OUT	COMP4_IP1
H6	27	20	15	PB10	I/O	STD	SWDIO	USART1_RTS TMR2_CH3 TMR1_CH1	-
G6	28	21	16	PB11	I/O	STD	PB11/NMI	USART1_DE USART1_CTS TMR1_CH2	-
H8	29	22	-	VDD	P	-	VDD	-	-
G7	30	23	-	VSS	P	-	VSS	-	-
H7	31	24	17	PB12	I/O	STD	HSE_IN	TMR3_ETR	-
F5	32	25	18	PC0	I/O	STD	HSE_OUT	TMR3_CH1	-
G8	33	26	19	NRST	I	RST	NRST	-	-
F6	34	27	20	PC1	I/O	STD	PC1/WUIO	I2C_SCL TMR3_CH2	LSE_IN
F7	35	28	21	PC2	I/O	STD	PC2/WUIO	I2C_SDA TMR3_CH3	LSE_OUT
F8	36	29	-	PC3	I/O	STD	PC3	TMR3_ETR SPI_CS	ADC3_CH0
E5	37	30	-	PC4	I/O	STD	PC4	TMR2_CH1 SPI_CS	ADC3_CH1
E6	38	31	-	PC5	I/O	STD	PC5	TMR4_ETR TMR2_ETR SPI_CLK	ADC3_CH2
E7	39	32	22	PC6	I/O	STD	PC6	USART2_TX TMR4_CH1 TMR3_CH1 SPI_CS	ADC3_CH3
E8	40	-	-	PC7	I/O	STD	PC7	TMR3_CH3	ADC3_CH4
D7	41	-	-	PC8	I/O	STD	PC8	TMR3_CH4	ADC3_CH5
D8	42	33	23	PC9	I/O	STD	PC9	USART2_CK TMR4_CH2 TMR3_CH2 SPI_CLK	ADC3_CH6
C7	43	34	-	PC10	I/O	STD	PC10	TMR4_CH3 TMR4_ETR SPI_MISO	ADC3_CH7

UFBGA64	QFN60	QFN48	QFN32	引脚名称 (复位后功能)	类型	结构	默认功能	复用功能	附加功能
C8	44	35	-	PC11	I/O	STD	PC11	TMR4_CH4 SPI_MOSI	ADC3_CH8
B8	45	36	24	PC12	I/O	5T	PC12	USART2_RX TMR4_ETR CLK_OUT	ADC3_CH9
B7	-	-	-	VSS	P	-	VSS	-	-
A8	46	-	-	VDD	P	-	VDD	-	-
A7	47	37	25	PD0	I/O	STD	PD0/WUIO	USART2_TX TMR2_CH3	ADC3_CH10
D6	48	38	-	PD1	I/O	STD	PD1	USART2_TX TMR1_CH1	ADC3_CH11
C6	49	39	26	PD2	I/O	STD	PD2	I2C_SCL USART2_DE TMR1_CH1N SPI_MISO	ADC3_CH12
B6	50	-	-	PD3	I/O	STD	PD3	I2C_SDA TMR1_CH4	-
A6	51	-	-	PD4	I/O	STD	PD4	I2C_SMBA	ADC3_CH13
D5	52	40	27	PD5	I/O	5T	PD5	I2C_SCL USART2_RX TMR1_CH2 SPI_MOSI	DAC2_OUT
C5	-	-	-	PD6	I/O	STD	PD6	TMR1_CH2	-
B5	-	-	-	PD7	I/O	STD	PD7	USART2_CK TMR1_CH2N	-
A5	53	41	-	PD8	I/O	STD	PD8	I2C_SMBA USART2_DE TMR1_CH2N	-
D4	54	42	28	PD9	I/O	STD	PD9/WUIO	I2C_SDA USART2_TX TMR1_CH3	COMP2_IP1 COMP2_IN1
C4	55	43	29	PD10	I/O	STD	PD10	USART2_RTS USART1_DE TMR1_CH3N SPI_CS	COMP2_IP0 COMP2_IN0
B4	56	44	30	PD11	I/O	STD	PD11	USART2_CTS TMR1_ETR TMR1_BKIN SPI_CLK	COMP1_IP1 COMP1_IN1

UFBGA64	QFN60	QFN48	QFN32	引脚名称 (复位后功能)	类型	结构	默认功能	复用功能	附加功能
A4	57	45	-	PD12	I/O	5T	PD12	USART1_RX TMR2_ETR EVENT_OUT	COMP1_IP0 COMP1_IN0
C3	58	46	-	PD13	I/O	STD	PD13	TMR4_CH1 TMR2_CH1 TMR1_CH4	-
B3	-	-	-	PD14	I/O	STD	PD14	USART1_CK TMR4_CH2 TMR2_CH2	-
A2	59	47	31	PD15	I/O	5T	EVS_VDC	USART1_TX USART1_DE TMR4_CH3	-
A3	60	48	32	VCAP	P	-	VCAP	-	-

注意:

- (1) WUIO: 支持 **standby** 模式下的 IO
- (2) EVS_VDC: External 5V DC Voltage Supervisor, 用于监测 5V 上电及掉电

3.3. GPIO 复用功能配置

表格 4 端口 A 复用功能配置

引脚名称	AF0	AF1	AF2	AF3
PA0	TMR2_CH1	-	-	-
PA1	TMR2_CH2	-	-	-
PA2	TMR2_CH3	-	-	-
PA3	TMR2_CH4	-	-	-
PA4	TMR2_ETR	-	-	-
PA5	TMR2_CH4	TMR2_ETR	-	-

表格 5 端口 B 复用功能配置

引脚名称	AF0	AF1	AF2	AF3
PB0	-	-	-	-
PB1	-	-	-	-
PB2	USART1_CK	TMR3_ETR	TMR3_CH1	-
PB3	I2C_SCL	USART1_TX	TMR3_CH1	-
PB4	I2C_SDA	USART1_RX	TMR3_CH2	-
PB5	SWCLK	I2C_SDA	USART1_CTS	TMR3_CH3

引脚名称	AF0	AF1	AF2	AF3
PB6	USART1_RX	TMR3_CH4	-	COMP1_OUT
PB7	USART1_DE	TMR2_CH1	TMR3_ETR	-
PB8	TMR2_CH4	-	-	-
PB9	USART1_TX	TMR2_CH2	-	COMP2_OUT
PB10	SWDIO	USART1_RTS	TMR2_CH3	TMR1_CH1
PB11	NMI	USART1_DE	USART1_CTS	TMR1_CH2
PB12	TMR3_ETR	-	-	-

表格 6 端口 C 复用功能配置

引脚名称	AF0	AF1	AF2	AF3
PC0	TMR3_CH1	-	-	-
PC1	I2C_SCL	TMR3_CH2	-	-
PC2	I2C_SDA	TMR3_CH3	-	-
PC3	TMR3_ETR	SPI_CS	-	-
PC4	TMR2_CH1	SPI_CS	-	-
PC5	TMR4_ETR	TMR2_ETR	SPI_CLK	-
PC6	TMR4_CH1	TMR3_CH1	SPI_CS	USART2_TX
PC7	TMR3_CH3	-	-	-
PC8	TMR3_CH4	-	-	-
PC9	USART2_CK	TMR4_CH2	TMR3_CH2	SPI_CLK
PC10	TMR4_CH3	TMR4_ETR	SPI_MISO	-
PC11	TMR4_CH4	SPI_MOSI	-	-
PC12	USART2_RX	TMR4_ETR	CLK_OUT	-

表格 7 端口 D 复用功能配置

引脚名称	AF0	AF1	AF2	AF3
PD0	USART2_TX	TMR2_CH3	-	-
PD1	USART2_TX	TMR1_CH1	-	-
PD2	I2C_SCL	USART2_DE	TMR1_CH1N	SPI_MISO
PD3	I2C_SDA	TMR1_CH4	-	-
PD4	I2C_SMBA	-	-	-
PD5	I2C_SCL	USART2_RX	TMR1_CH2	SPI_MOSI
PD6	TMR1_CH2	-	-	-
PD7	USART2_CK	TMR1_CH2N	-	-

引脚名称	AF0	AF1	AF2	AF3
PD8	I2C_SMBA	USART2_DE	TMR1_CH2N	-
PD9	I2C_SDA	USART2_TX	TMR1_CH3	-
PD10	USART2_RTS	USART1_DE	TMR1_CH3N	SPI_CS
PD11	USART2_CTS	TMR1_ETR	TMR1_BKIN	SPI_CLK
PD12	USART1_RX	TMR2_ETR	EVENT_OUT	-
PD13	TMR4_CH1	TMR2_CH1	TMR1_CH4	-
PD14	USART1_CK	TMR4_CH2	TMR2_CH2	-
PD15	USART1_TX	USART1_DE	TMR4_CH3	-

4. 功能描述

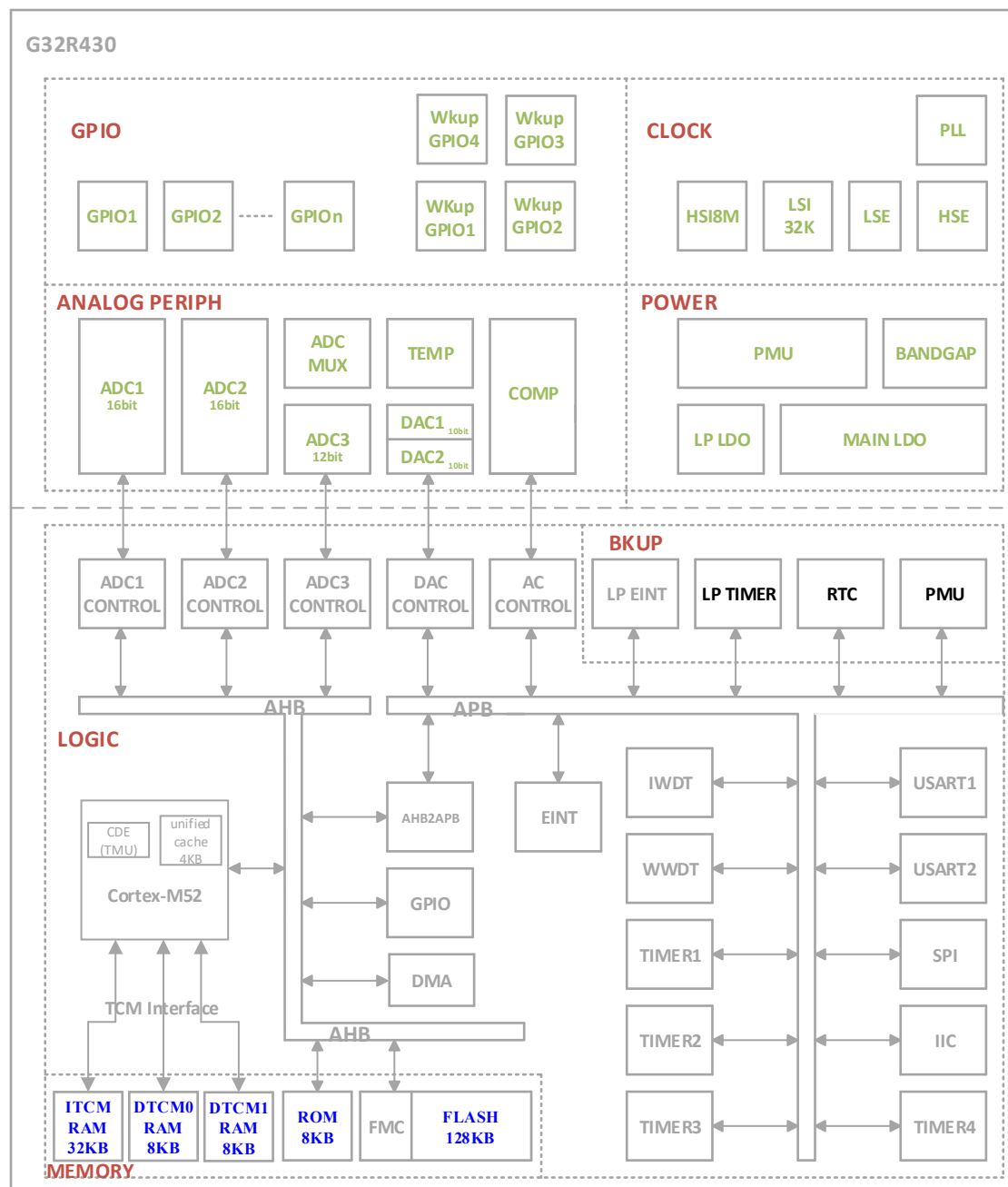
G32R430 是针对高精度磁电式/光电式绝对值位置编码器应用定制的数模混合 MCU，基于 G32R430 可以实现高精度磁电式/光电式绝对值位置编码器。本章主要介绍 G32R430 芯片系统架构、电源、高精度模拟单元、实时三角函数计算加速单元、中断、片上存储器、时钟、外设功能及特点等。

G32R430 基于 Arm V8.1-M 架构高性能低功耗 CPU Arm® Cortex®-M52。有关 Arm® Cortex®-M52 内核的相关信息，请参考 Arm® Cortex®-M52 技术参考手册，该手册可以在 Arm 公司的网站下载。

4.1. 系统架构

4.1.1. 系统框图

图 5 系统框图



4.1.2. 地址映射

表格 8 地址映射

区域	地址范围	大小	外设名称
AHB 总线	0x4002 1800 - 0x4002 1BFF	1KB	GPIO
	0x4002 1400 - 0x4002 17FF	1KB	ADC3 (12bit)

区域	地址范围	大小	外设名称
	0x4002 1000 - 0x4002 13FF	1KB	ADC2 (16bit)
	0x4002 0C00 - 0x4002 0FFF	1KB	ADC1 (16bit)
	0x4002 0800 - 0x4002 0BFF	1KB	FLASH Interface
	0x4002 0400 - 0x4002 07FF	1KB	RCM
	0x4002 0000 - 0x4002 03FF	1KB	DMA
APB 总线	0x4000 5800 - 0x4000 5BFF	1KB	DBGMCU
	0x4000 3C00 - 0x4000 3FFF	1KB	TS
	0x4000 3B00 - 0x4000 3BFF	256Bytes	LPTMR
	0x4000 3A00 - 0x4000 3AFF	256Bytes	RTC
	0x4000 3830 - 0x4000 39FF	208Bytes	BKP
	0x4000 3800 - 0x4000 382F	48Bytes	PMU
	0x4000 3400 - 0x4000 37FF	1KB	COMP
	0x4000 3000 - 0x4000 33FF	1KB	DAC2
	0x4000 2C00 - 0x4000 2FFF	1KB	DAC1
	0x4000 2800 - 0x4000 2BFF	1KB	EINT
	0x4000 2400 - 0x4000 27FF	1KB	IWDT
	0x4000 2000 - 0x4000 23FF	1KB	WWDT
	0x4000 1C00 - 0x4000 1FFF	1KB	I2C
	0x4000 1800 - 0x4000 1BFF	1KB	USART2
	0x4000 1400 - 0x4000 17FF	1KB	USART1
	0x4000 1000 - 0x4000 13FF	1KB	SPI
	0x4000 0C00 - 0x4000 0FFF	1KB	TMR4
	0x4000 0800 - 0x4000 0BFF	1KB	TMR3
	0x4000 0400 - 0x4000 07FF	1KB	TMR2
	0x4000 0000 - 0x4000 03FF	1KB	TMR1
代码	0x2000 0000 - 0x2000 3FFF	16KB	DTCM
	0x0800 0000 - 0x0801 FFFF	128KB	FLASH
	0x1FFF 0000 - 0x1FFF 000F	16Bytes	Option Bytes
	0x0010 0000 - 0x0010 1FFF	8KB	System Memory
	0x0000 0000 - 0x0000 7FFF	32KB	ITCM

4.1.3. 启动配置

G32R430 支持从不同的存储区启动，用户通过配置 Option Bytes 的 BOOTADDR[15:0]位段进行选择。

若从 BootLoader 启动，用户可使用串口接口重新编程用户 Flash。在嵌入式 BootLoader 模式下，用户可以选择通过以下任意一组串行接口重新编程 Flash：

- USART1（默认接口）（PB6/PB9）
- USART2（PD5/PD9）

4.2. 内核

Arm® Cortex®-M52 基于 Arm V8.1-M 架构的 Arm® Cortex®-M 系列（包括 Cortex-M55 和 Cortex-M85），效率提升至全新高度，也是将 ML 功能引入微控制器的一个重要里程碑。

4.3. 运算加速器

4.3.1. 三角法数学单元（TMU）

内置三角函数计算加速单元 TMU，针对编码器应用需求，TMU 当前支持 ATAN 指令用于计算角度。

表格 9 ATAN 指令说明

指令集	等效操作	指令周期
ATANOP32 a32, s32, c32, i16	$a32 = \text{atan}((s32/c32), i16)$	80

注意：

- (1) a32: 计算得到的 Atan 值，格式为 Q(1,31)的 32 位定点数表示角度范围为：[-Pi,Pi]
- (2) s32: SIN 值，32 位有符号整数
- (3) c32: COS 值，32 位有符号整数
- (4) I16: 指令配置字，含迭代周期数
- (5) 针对 ATANOP32 输出的 Q(1,31)格式结果，a32 取值范围为[-1,1]，表示角度范围[-Pi,Pi]。关于 ATAN2 更多介绍，请访问 G32R430 SDK 中的 ATAN2 例程说明。

4.4. 中断控制器

4.5. 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器（NVIC），它和内核紧密耦合，能高效、低延迟处理异常和中断、电源管理控制。NVIC 能够处理多达 38 个可屏蔽中断通道（不包括 16 个 Arm® Cortex®-M52 的中断线）和 16 个优先级；可直接向内核传递中断向量入口地址；可支持中断嵌套。

4.5.1. 外部中断/事件控制器(EINT)

外部中断/事件控制器有 23 个边沿检测器，每个检测器包含边沿检测电路、中断/事件请求产生电路；每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽；最多 48 个 GPIO 可连接到 16 个外部中断线。

4.6. 片上存储器

片上存储器包括主存储区、TCM（ITCM 及 DTCM）、选项字节（Option Bytes）、系统存储区（ROM）、备份域寄存器。系统存储区出厂时已写入程序，不可擦写。

表格 10 片上存储区

存储器	最大容量	功能
主存储区	128KB	存放用户程序和数据
TCM	48KB	CPU 能以 0 等待周期访问（读/写），16KB DTCM，32KB ITCM
系统存储区	8KB	存储放 BootLoader 程序
选项字节	4Bytes	配置主存储区读写保护、MCU 工作方式
备份域寄存器	32Bytes	可用于在 STANDBY 模式下存储数据

4.6.1. Flash

G32R430 片上存储器的主存储区为 128KB 的嵌入式闪存块，具有 32 位宽，有扇区/芯片擦除和编程能力，可用于存储程序和数据。支持单页擦除和整片擦除。在结温 125℃的条件下，最小的写入擦除周期为 100,000 个周期，数据可保留超过 10 年。

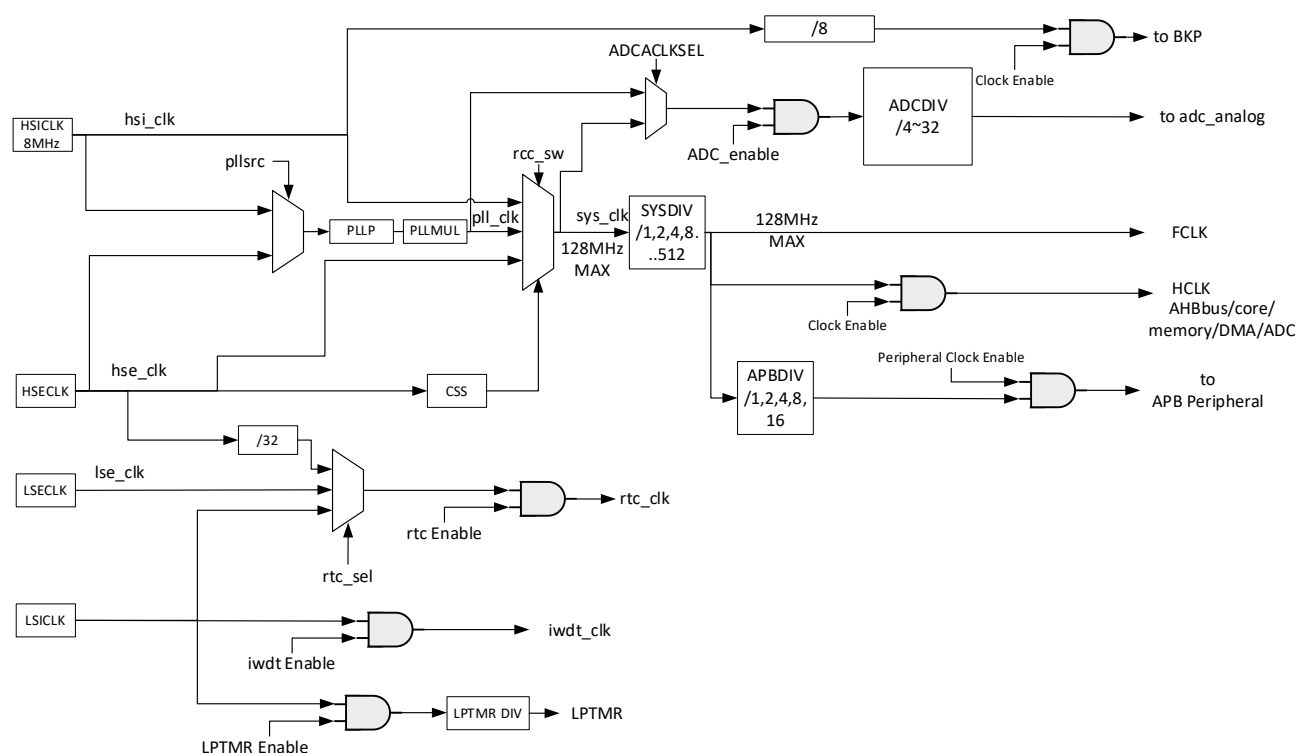
4.6.2. TCM

TCM 是与内核紧密耦合的存储器，拥有更快的访问速度，通常用于存放需要高速访问或低延迟要求的关键代码和数据。G32R430 具有 16KB 的 DTCM 和 32KB 的 ITCM，它们可以以字节、半字（16 位）或全字（32 位）访问。

4.7. 复位与时钟

4.7.1. 时钟树

图 6 时钟树



4.7.2. 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有 HSICLK、HSECLK，低速时钟有 LSECLK、LSICLK。

4.7.3. 系统时钟

可选择 HSICLK、PLLCLK、HSECLK 作为系统时钟，PLLCLK 的时钟源可选择 HSICLK、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

产品复位启动时，默认选择 HSICLK 作为系统时钟，之后用户可自行选择上述时钟源中的一种作为系统时钟。当检测到 HSECLK 失效时，系统将自动地切换回 HSICLK。如果使能了中断，软件可以接收到相应的中断。

4.7.4. 总线时钟

内置 AHB、APB 总线，AHB 的时钟源是 SYSCLK，APB 的时钟源是 FCLK；配置分频系数可获得所需的时钟，AHB 最高频率为 128MHz，APB 的最高频率为 128MHz，BKP 域的最高频率是 1MHz。另外，ADC 需要大约 20MHz 的固定频率时钟，可以通过使能 PLLCLK 以及配置 ADCDIV 得到所需的时钟频率。

4.7.5. 锁相环

G32R430 系列有 1 个锁相环（PLL）。它需要通过配置参数产生不同时钟频率，最大输出频率为 128MHz。可以由 HSECLK 或 HSICLK 作为 PLL 的时钟源。

4.7.6. 复位

复位有三种类型，定义为系统复位、电源复位和备份域复位。

关于复位的详细信息，请参见 G32R430 用户手册“复位管理单元（RMU）”章节。

4.8. 电源与电源管理

4.8.1. 电源方案

表格 11 电源方案

名称	电压范围	说明
V _{DD}	1.7~3.6V	通过 VDD 引脚给 I/O（具体 I/O 见引脚分布图）、LSICLK、内部调压器供电。
V _{DDA} /V _{SSA}	1.7~3.6V	为 ADC、DAC、LSECLK、RC 振荡器和 PLL 的模拟部分供电；当使用 16 位 ADC 时，V _{DDA} 不低于 3.0V；当使用 EVS 时，VDD 不低于 3.0V；当使用 HSECLK、TSEN、ADC12B、COMP、DAC 时，V _{DDA} 不低于 2.7V。

4.8.2. 1.2V 调压器

表格 12 调压器工作模式

名称	说明
主模式（MR）	用于运行模式
低功耗模式（LPR）	用于停机模式

名称	说明
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 TCM 的数据会全部丢失。

注意：

- (1) 调压器在复位后始终处于工作状态，在掉电模式下高阻输出。
- (2) 设备支持动态电压缩放，以优化运行模式下的功耗。提供逻辑（VCORE）的主稳压器的电压可以根据系统的最大工作频率进行调整。

4.8.3. 电源电压监控器

产品内部集成了上电复位（POR）、掉电复位（PDR），这两个电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值（ $V_{POR/PDR}$ ）时，会使外部复位电路，系统保持复位状态。

产品内置能够监测 V_{DD} 并将其与 PVD 阈值比较的可编程电源电压监控器（PVD）。当 V_{DD} 在 PVD 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

4.8.4. 主电检测模块

产品集成了主电检测模块（EVS, External Voltage Supervisor），当整个系统的外部电源通过芯片的主电检测引脚输入时，此模块可以检测到主电的掉电与上电。检测主电输入的电压可以通过寄存器配置为不同的 4 个档位。同时，当发生主电上电或掉电时，还能触发中断。

4.9. 低功耗模式

G32R430 支持停机（STOP）、待机（STANDBY）两种低功耗模式，这两种模式在功耗、唤醒流程、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

备份域内含有 16 个 16 位的寄存器，可以用于存储 32 个字节的数据，在低功耗模式下，存储的信息不会丢失，可用于存储重要数据。

4.10. DMA

内置 1 个 DMA，共 8 个通道。每个通道可配置连接不同的外设，但每个通道同一时刻只能开启 1 个外设请求。每个通道可设置优先级，仲裁器可根据通道的优先级协调各个通道对应的 DMA 请求的优先级。数据可以通过 DMA 快速传输，而无需任何 CPU 操作，可以为其他操作保留空闲的 CPU 资源。

支持 DMA 请求的外设有：16 位 ADC1/2、12 位 ADC、SPI、USART1/2、I2C、TMR1/2/3/4。可配置 4 级 DMA 通道优先级。支持“存储器→存储器、存储器→外设、外设→存储器”数据传输（存储器包括 Flash、SRAM）。

4.11. GPIO

GPIO 是通用输入输出端口，可以通过软件控制输入和输出，支持配置为通用输入、通用输出、复用功能、模拟输入输出。其通用输入可配置为浮空、上拉、下拉输入，通用输出可配置为推挽或开漏输出。GPIO 还能配置上拉/下拉电阻和不同速度（2MHz、10MHz、50MHz）；在 STOP

和 STANDBY 模式下分别具有状态锁存和复位特性。所有 GPIO 都可作为外部中断来唤醒 STOP 模式。当复位功能未开启时，普通 I/O 口被配置为模拟输入模式，复位后调试引脚 PB5 被置于输入下拉模式，PB10 被置于上拉模式。

4.12. 通信外设

4.12.1. USART

内置 2 个通用同步/异步收发器，支持标准的异步通信和多处理器通信模式，具备宽范围的波特率和全双工/半双工数据交换能力，支持 NRZ 标准格式。其串口特性可配置，并具备校验控制和状态检测功能。通过可编程的 8 倍或 16 倍过采样率实现速度和时钟容忍度，具备独立的发送和接收使能，使用 16 位分频系数配置波特率，还支持 DMA 连续通信、多处理器唤醒、同步发送、硬件流控制，以及支持 RS485 的发送使能 I/O 自动控制。

4.12.2. I2C

内置 1 个 I2C 总线接口，提供多主机功能，并控制所有 I2C 总线特定的测序、协议、仲裁和定时，可工作于多主模式或从模式，支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址，通信速率支持标准模式（最高 100kHz）、快速模式（最高 400kHz）。

4.12.3. SPI

内置 1 个 SPI，提供了基于 SPI 协议的数据发送和数据接收功能，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 8 位或 16 位，最高通信速率为 50Mbit/s。可以使用 DMA 操作。

4.13. 模拟外设

4.13.1. 16 位 ADC

内置 2 个 16 位逐次逼近（SAR）型 ADC 模块，每个 ADC 具有高达 13.5 位的有效位数（ENOB）和 $1.65V \pm 2mV$ 的高精度参考源。16 位分辨率下最大采样和转换速率高达 0.889Msps。支持单端和差分输入模式，差分/单端通道数至少为 6 对/12 个。其支持规则序列、注入序列、单次和连续采样模式，并可通过 2/4/8/16 倍硬件过采样增强信噪比。

2 个 ADC 支持主从同步模式，采样保持同步，触发方式可通过软件、硬件触发双 ADC 同步采样。外部参考电压输入范围独立于供电电源。ADC 还支持多种高级通用的配置，比如单次或连续/不连续扫描、多通道转换、结果通过 DMA 存储在 TCM、可调采样时间、模拟看门狗和偏移补偿等。

4.13.2. 12 位 ADC

内置 1 个 12 位 ADC 模块，支持 16 个单端采样通道，具有高达 1Msps 的转换速率。触发方式多样，包括片上定时器、外部引脚或软件触发，支持单次和扫描模式的转换。支持规则数据转换的 DMA 请求，还利用模拟看门狗监测多个通道的转换电压。使用定时器实现模数转换与时钟同步。

4.13.3. 温度传感器

内置 1 个独立模块的温度传感器 (Tsensor)，可配置不同的速率生成数据，数据产生后，可以触发中断。

4.13.4. LTCBG

内置一个 LTCBG 模块，可以输出一个稳定电压，芯片内部直接连接到 12 位 ADC 的通道 ADC_CH15。

4.13.5. DAC

内置 2 个 10 位 DAC 模块，每个 DAC 支持一个输出通道，且 DAC 输出可以连接至比较器输入。支持外部信号触发和内部定时器触发，数据可左对齐或右对齐，具有同步更新功能。双 DAC 通道可以独立或同步转换，最高外部输出速率为 200Ksps，内部输出速率可达 1Msps。

4.13.6. 比较器 (COMP)

内置 4 个快速轨到轨比较器 (COMP)，均可配置迟滞、速率等参数以及输出的极性。输入电压可以选择外部 I/O 或 DAC 输出通道。比较器的输出可以连接到 I/O 端口，或连接到内部 16 位定时器进行计数。此外，比较器的输出在内部连接到扩展中断和事件控制器，每个比较器都拥有自己的 EINT 信号线，能够触发中断事件。

4.14. 定时器

内置 1 个 16 位高级定时器，3 个 16 位通用定时器，1 个独立看门狗定时器、1 个窗口看门狗定时器、1 个低功耗定时器和 1 个系统滴答定时器。

高级定时器可用于测量输入信号的脉冲长度 (输入捕获)、刹车输入、编码器接口、ETR 输入或产生输出波形 (输出比较、单脉冲输出、带死区插入的互补 PWM 或普通 PWM 输出)，或作为一个可重复计数的时基。

通用定时器可用于测量输入信号的脉冲长度 (输入捕获)、编码器接口、ETR 输入或产生输出波形 (输出比较、单脉冲输出、普通 PWM 输出)，或作为一个简单的时基。

看门狗定时器可以用来检测程序是否正常运行。

低功耗定时器可以在停机模式下运行和唤醒系统。

系统滴答定时器为内核外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

定时器的特性与不同定时器间的功能比较见下方表格：

表格 13 定时器功能比较

定时器类型	高级定时器	通用定时器	低功耗定时器	系统滴答定时器
定时器名称	TMR1	TMR2/3/4	LPTMR	SysTick Timer
时钟源	内部时钟、外部输入、外部触发、内部触发	内部时钟、外部输入、外部触发、内部触发	内部时钟	内部时钟
计数器分辨率	16 位	16 位	16 位	24 位
计数器类型	向上, 向下, 向上/下	向上, 向下, 向上/下	向上	向下
预分频系数	1~65536 间任意整数	1~65536 间任意整数	1~65536 间任意整数	没有
内部触发输出	1	1	0	0
产生 DMA 请求	可以	可以	不可以	不可以
捕获/比较通道	4	4	0	0
互补输出	3	没有	没有	没有
引脚特性	1 路外部触发信号输入引脚; 1 路刹车输入引脚; 3 组互补通道引脚; 1 路非互补通道引脚。	1 路外部触发信号输入引脚; 4 路非互补通道引脚。	没有	没有
功能说明	每个定时器具有 4 个独立的通道, 用于输入捕获/输出比较。输入捕获支持计数功能、PWM 输入或编码器接口模式; 输出比较支持 PWM 输出、强制输出或单脉冲模式。 支持同步或事件链接功能, 可以同步工作, 支持多种从模式、同步信号。 具有 3 组可编程死区时间的互补输出。 1 路刹车输入, 这些输入也可以配置为双向模式。	每个定时器具有 4 个独立的通道, 用于输入捕获/输出比较。输入捕获支持计数功能、PWM 输入或编码器接口模式; 输出比较支持 PWM 输出、强制输出或单脉冲模式。 支持同步或事件链接功能, 可以同步工作, 支持多种从模式、同步信号。 在调试模式下, 计数器可以被冻结。 在发生更新事件、触发事件、输入捕获/输出比较事件时, 产生中断或 DMA 请求。	低功耗模式下可工作, 可配置低功耗定时器中断, 从而从低功耗模式异步唤醒系统。 可配置预分频器的 16 位时间计数。	专用于实时操作系统。 具有自动重加载功能。 当计数器为 0 时能产生一个可屏蔽系统中断。 可编程时钟源。

定时器类型	高级定时器	通用定时器	低功耗定时器	系统滴答定时器
	重复计数功能，在可配置次数的计数周期后产生更新事件。 在调试模式下，计数器可以被冻结。 在发生更新事件、触发事件、输入捕获/输出比较事件、刹车事件时，产生中断或 DMA 请求。 每个定时器都有独立的 DMA 请求机制生成。 比较器输出可以连接定时器进行计数。 支持增量(正交)编码器和霍尔传感器电路的定位目的。 支持 ETR 输入，即外部触发输入功能，可以用作外部时钟或逐周期电流管理。	每个定时器都有独立的 DMA 请求机制生成。 比较器输出可以连接定时器进行计数。 支持增量(正交)编码器和霍尔传感器电路的定位目的。 支持 ETR 输入，即外部触发输入功能，可以用作外部时钟或逐周期电流管理。		

表格 14 IWDG 和 WWDG 功能比较

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由一个内部独立的 32kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机模式。 在发生问题时可复位整个系统。 可以作为一个自由定时器为应用程序提供超时管理。 通过选项字节可以配置成是软件或硬件启动看门狗。 在调试模式下，计数器可以被冻结。
窗口看门狗	7 位	向下	-	可以设置成自由运行。 在发生问题时可复位整个系统。 由主时钟驱动，具有早期预警中断功能； 在调试模式下，计数器可以被冻结。

4.15. RTC

实时时钟（RTC）是一个主电源掉电后自动切换备份电源，维持运行的定时器。它具有一组连续运行的计数器，能够配合软件提供闹钟中断和周期性中断功能。RTC 支持三种时钟源。系统复位或从待机模式唤醒都不会引起 RTC 的复位，确保其连续稳定地维持时间信息。

4.16. 备份寄存器

备份域内含有 16 个 16 位的寄存器，可以用于存储 32 个字节的数据。备份域寄存器由低功耗 LDO 供电。系统复位、NRST 引脚复位、低功耗模式唤醒后的复位，都不会影响备份域寄存器。

5. 电气特性

5.1. 电气特性测试条件

5.1.1. 最大值和最小值

除非特别说明，所有产品是在 $T_A=25^{\circ}\text{C}$ 下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差(平均 $\pm 3\sigma$)得到最大和最小数值。

5.1.2. 典型值

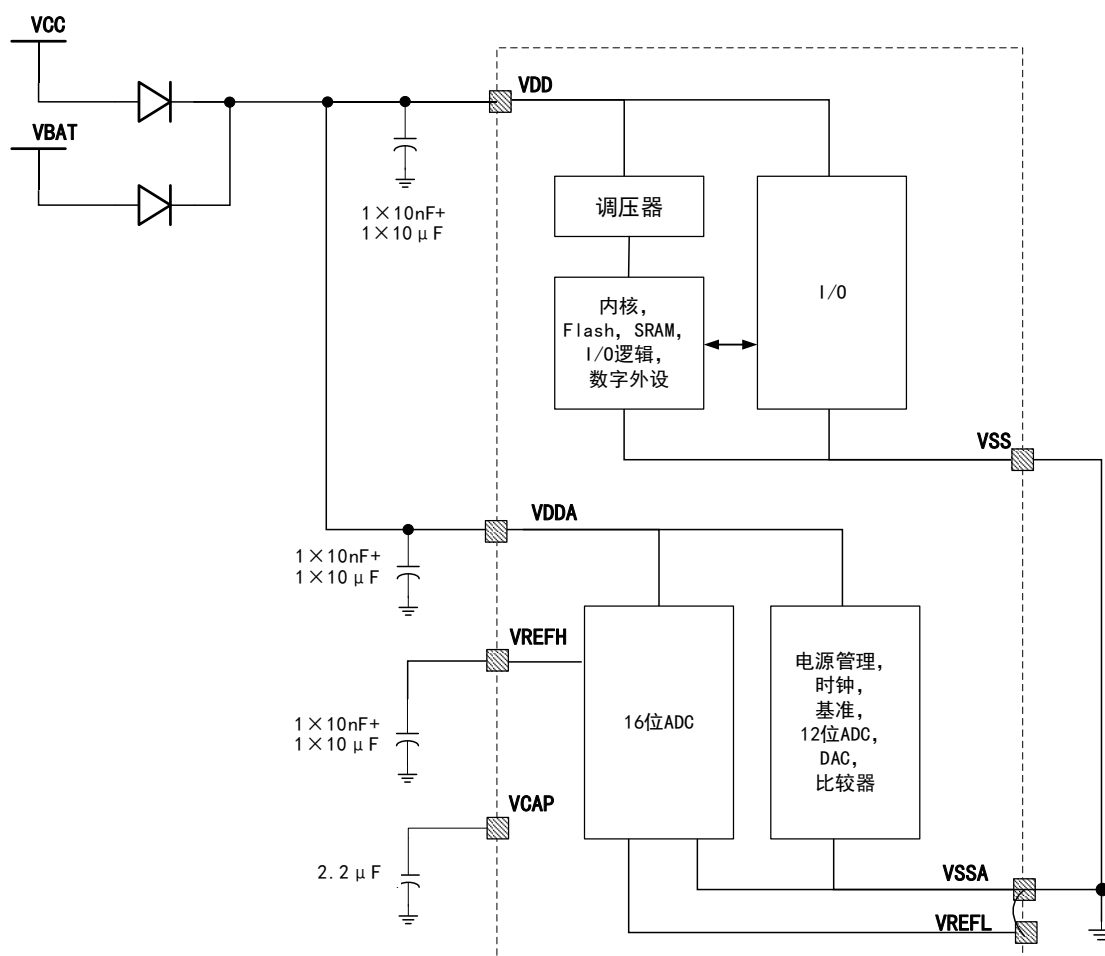
除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=V_{DDA}=3.3\text{V}$ 测量，这些数据仅用于设计指导。

5.1.3. 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4. 电源方案

图 7 电源方案



5.1.5. 负载电容

图 8 测量引脚参数时的负载条件

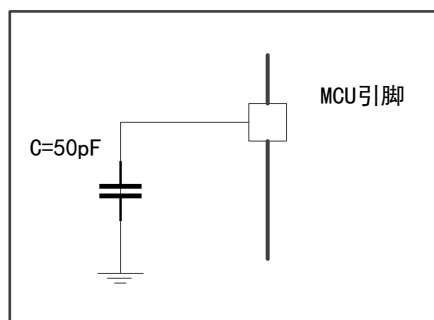


图 9 引脚输入电压测量方案

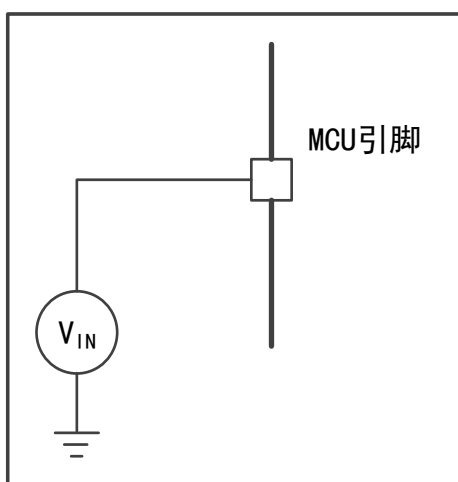
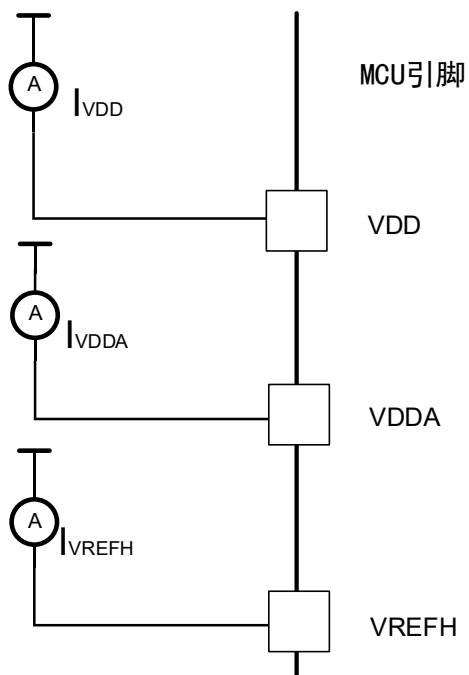


图 10 功耗测量方案



5.2. 通用工作条件下的测试

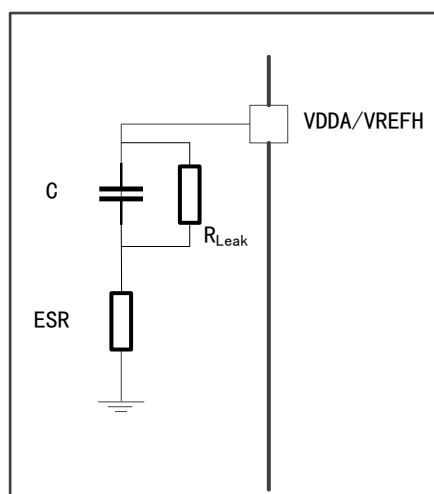
表格 15 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	AHB 时钟频率	-	-	-	128	MHz
f_{PCLK}	APB 时钟频率	-	-	-	128	
f_{BKP}	BKP 时钟频率	-	-	1	-	
V_{DD}	主电源电压	-	1.7	-	3.6	V
V_{DDA}	模拟电源电压 (未使用 16 位 ADC)	-	1.7	-	3.6	V
	模拟电源电压 (16 位 ADC 正常工作)		3.0	-	3.6	
T_A	环境温度	最大功率耗散	-40	-	105	°C

5.3. 外部电容器

通过将外部电容器 C_{EXT} 连接到 V_{DDA_REFH} 引脚来实现 ADC 内部电压参考源的稳定。 C_{EXT} 典型值为 10uF，电容等效串联电阻 ESR 小于 1Ω。

图 11 外部电容器 C_{EXT}



5.4. 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不保证在此条件下器件的功能运行正常。

5.4.1. 最大温度特性

表格 16 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-55 ~ +150	°C
T_J	最大结温度	125	

5.4.2. 最大额定电压特性

所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 的引脚, 必须始终连接到外部限定范围内的供电电源上。

表格 17 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压	-0.3	4.0	V
V_{IN}	在 5V 容忍和 3.3V 标准 I/O 的引脚上的输入电压	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	

5.4.3. 最大额定电流特性

表格 18 电流特性

符号	描述	最大值	单位
I _{VDD}	经过 V _{DD} /V _{DDA} 电源线的总电流之和 ⁽¹⁾	150	mA
I _{VSS}	经过 VSS 地线的总电流之和 ⁽¹⁾	-150	
I _{IO}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
I _{INJ(PIN)} ⁽²⁾	3.3V 标准 I/O 和 5T 引脚的注入电流 ⁽³⁾	-5/+5	
	NRST 引脚的注入电流 ⁽³⁾		
Σ I _{INJ(PIN)}	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	±25	

注意:

- (1) 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 必须始终在允许范围内。
- (2) 流出电流会干扰器件的模拟性能。
- (3) 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流流出引脚。
- (4) 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.4.4. 静电放电（ESD）

表格 19 ESD 绝对最大额定值⁽¹⁾

符号	参数	条件	范围	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A=+25^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-001-2017	± 4000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$T_A=+25^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-002-2018	± 500	

注意：（1）由第三方测试机构测试，不在生产中测试。

5.4.5. 闩锁效应（LU）

表格 20 闩锁效应⁽¹⁾

符号	参数	条件	类型
LU	闩锁效应类	$T_A=+105^{\circ}\text{C}$ ，符合 JEDEC JESD78F-2022	II 类 A

注意：（1）由第三方测试机构测试，不在生产中测试。

5.5. 片上存储器

5.5.1. Flash 特性

表格 21 Flash 存储器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
t_{prog}	32 位编程时间	-	84.7	-	μs
t_{ERASE}	扇区擦除时间	-	5.7	-	ms
t_{SBE}	块擦除时间	-	8.2	-	ms
t_{SCE}	整片擦除时间	8	-	10	ms
V_{prog}	编程电压	1.7	-	3.6	V
N_{END}	擦写循环次数（ $T_j=125^{\circ}\text{C}$ ）	100	-	-	千次循环
t_{RET}	数据保存期限（ $T_j=125^{\circ}\text{C}$ ）	10	-	-	年

注意：（1）由综合评估得出，不在生产中测试。

5.6. 时钟

5.6.1. 外部时钟源特性

5.6.1.1. 高速外部时钟

高速外部（HSECLK）时钟可使用 8~26 MHz 晶体/陶瓷谐振振荡器。在应用中，谐振器和负载电容器必须尽可能靠近振荡器引脚，以尽量减少输出失真和启动稳定时间。

表格 22 HSECLK 8~26MHz 振荡器特性⁽¹⁾

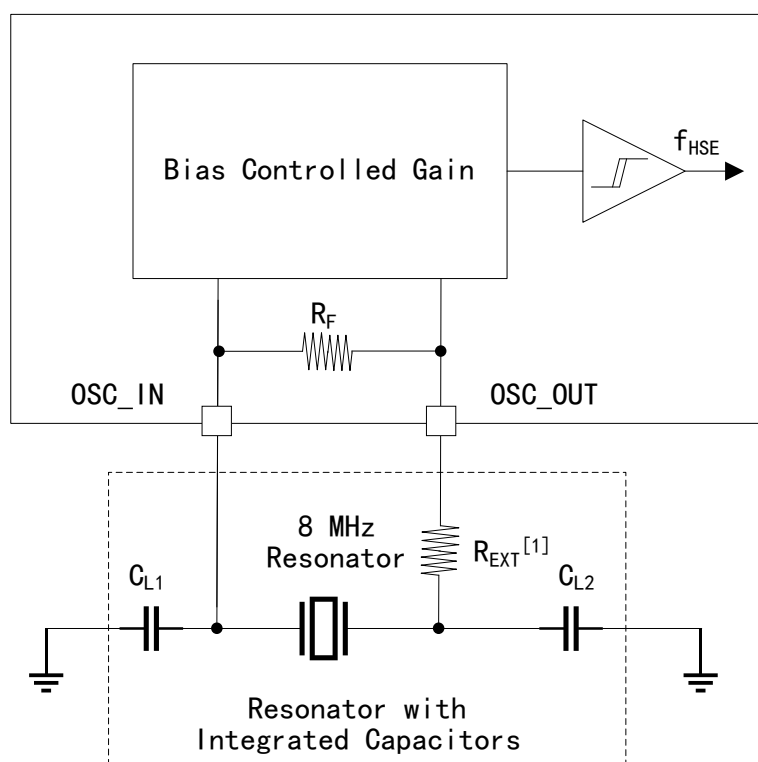
符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{OSC_IN}}$	振荡器频率	-	8	-	26	MHz

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	200	-	$k\Omega$
$I_{DD(HSECLK)}$	HSECLK 电流消耗	$V_{DD}=3.3V, R_m=30\Omega, C_L=10pF@8MHz$	0.21	0.26	0.36	mA
Gm	振荡器跨导	-	-	-	13	mA/V
$t_{SU(HSECLK)}$	启动时间	V_{DD} 是稳定的	-	1	5	ms

注意：由综合评估得出，不在生产中测试。

对于 CL1 和 CL2，建议使用 5pF 到 20pF 范围内的高质量外部陶瓷电容器（典型值），设计用于高频应用，并根据晶体或谐振器的要求进行选择。CL1 和 CL2 通常大小相同。晶体制造商通常指定负载电容为 CL1 和 CL2 的串联组合。当确定 CL1 和 CL2 时，必须包括 PCB 和 MCU 引脚电容（10 pF 可以用作组合引脚和电路板电容的粗略估计）。

图 12 8MHz 晶体的典型应用



5.6.1.2. 低速外部时钟

低速外部（LSECLK）时钟可以提供 32.768kHz 晶体谐振振荡器。在应用中，谐振器和负载电容器必须尽可能靠近振荡器引脚，以尽量减少输出失真和启动稳定时间。

表格 23 LSECLK 振荡器特性（ $f_{LSECLK}=32.768kHz$ ）⁽¹⁾

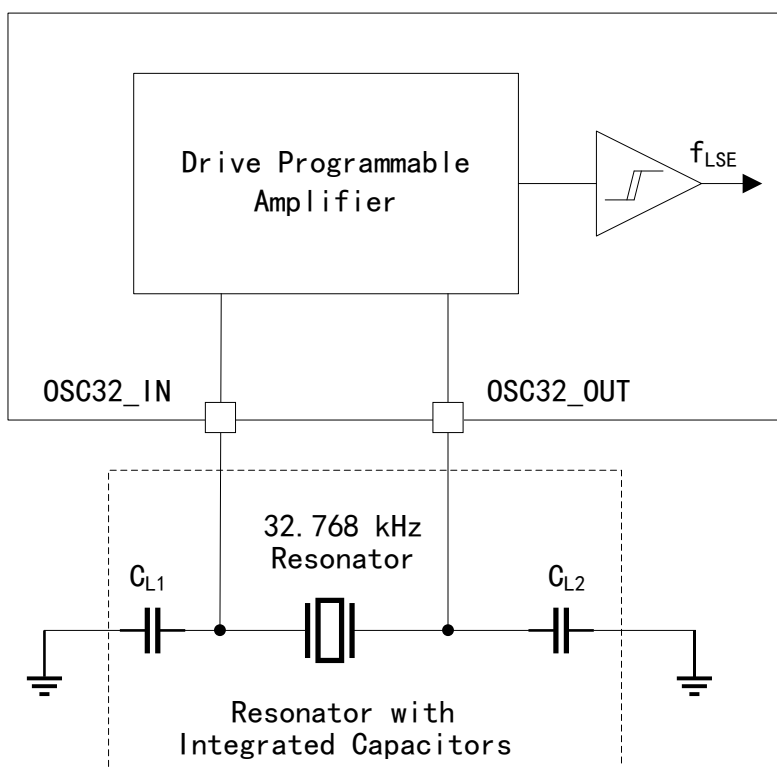
符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	-	32.768	-	kHz
$I_{DD(LSECLK)}$	LSECLK 电流消耗	-	-	3	-	μA
Gm	最大临界晶体跨导	-	0.5	-	2.70	$\mu A/V$

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(LSECLK)}^{(2)}$	启动时间	V_{DD} 稳定	-	2	-	s

注意:

- (1) 由综合评估得出, 不在生产中测试。
- (2) $t_{SU(LSECLK)}$ 是启动时间, 是从软件使能 LSECLK 开始测量, 直至得到稳定的 32.768kHz 振荡这段时间。这个数值是使用一个标准的晶体谐振器测量得到的, 它可能因晶体制造商的不同而不同。

图 13 32.768kHz 晶体的典型应用



5.6.2. 内部时钟源特性

5.6.2.1. 高速内部 (HSICLK) RC 振荡器

下表中给出的参数是在通用工作条件的环境温度和电源电压条件下进行的试验得出的。所提供的结果是表征结果, 不在生产中测试。

表格 24 HSICLK 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSICLK}	频率	-	-	8	-	MHz
TRIM	HSI user trimming step	-	0.05	0.1	0.2	%
$Duty_{(HSICLK)}$	占空比	-	45	-	55	%
$\Delta_{CC(HSICLK)}$	HSICLK 振荡器的精度 (校准后)	$V_{DD}=2.7-3.6V, T_A=-40\sim 105^{\circ}C$	-2	-	2	%
		$V_{DD}=1.7-3.6V, T_A=-40\sim 105^{\circ}C$	-4	-	4	
$\Delta_{VDD(HSICLK)}$	HSI 振荡器在 V_{DD} 上的 频率漂移 (校准后)	$V_{DD}=1.7-3.6V, T_A=25^{\circ}C$	-1.5	-	1.5	%

符号	参数	条件	最小值	典型值	最大值	单位
$I_{DDA(HSICLK)}$	HSICLK 振荡器功耗	-	-	160	200	μA
$t_{STAB(HSICLK)}$	HSICLK 振荡器稳定时间	-	-	-	5	μs

注意：由综合评估得出，不在生产中测试。

5.6.2.2. 低速内部 (LSICLK) RC 振荡器

下表中给出的参数是在通用工作条件的环境温度和电源电压条件下进行的试验得出的。所提供的结果是表征结果，不在生产中测试。

表格 25 LSICLK 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSICLK}	频率	$V_{DD}=1.7-3.6V$, $T_A=-40\sim 105^{\circ}C$	29.44	32	34.56	kHz
$I_{DD(LSICLK)}$	LSICLK 振荡器功耗	-	-	0.21	0.27	μA
$t_{STAB(LSICLK)}$	LSICLK 振荡器稳定时间	最终频率的 5%	-	-	300	μs

注意：由综合评估得出，不在生产中测试。

5.6.3. PLL 特性

下表中给出的参数是在通用工作条件的环境温度和电源电压条件下进行的试验得出的。所提供的结果是表征结果，不在生产中测试。

表格 26 PLL 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL1_IN}	PLL 输入时钟	$V_{DD}=1.7-3.6V$, $T_A=-40\sim 105^{\circ}C$	6	8	26	MHz
	PLL 输入时钟占空比	-	45	-	55	%
f_{PLL_OUT}	PLL 倍频输出时钟	$V_{DDA}=2.7-3.6V$	8	-	128	MHz
		$V_{DDA}=1.7-2.7V$	8	-	80	
Jitter	周期抖动	系统时钟 8M~128MHz	8	10	13	ps
t_{LOCK1}	PLL 锁相时间	-	10	15	40	μs
$I_{DD(PLL)}$	PLL 功耗	PLL 输出时钟 80MHz	350	410	-	μA
		PLL 输出时钟 128MHz	-	640	-	

注意：由综合评估得出，不在生产中测试。

5.7. 电源与电源管理

5.7.1. 内嵌复位和电源控制模块特性测试

表格 27 复位和电源控制模块特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{RSTTEMPO}$	复位持续时间	从检测到 POR 到第一条指令执行的时间	-	250	400	μs

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}^{(2)}$	POR/PDR reset 阈值	上升沿	1.58	1.64	1.68	V
		下降沿	1.5	1.56	1.62	
V_{PVD0}	PVD 阈值 0	上升沿	2.1	2.15	2.19	V
		下降沿	2	2.05	2.1	
V_{PVD1}	PVD 阈值 1	上升沿	2.26	2.30	2.36	V
		下降沿	2.15	2.2	2.25	
V_{PVD2}	PVD 阈值 2	上升沿	2.41	2.45	2.51	V
		下降沿	2.31	2.36	2.41	
V_{PVD3}	PVD 阈值 3	上升沿	2.56	2.60	2.66	V
		下降沿	2.47	2.52	2.57	
V_{PVD4}	PVD 阈值 4	上升沿	2.69	2.75	2.79	V
		下降沿	2.59	2.64	2.69	
V_{PVD5}	PVD 阈值 5	上升沿	2.85	2.90	2.96	V
		下降沿	2.75	2.81	2.86	
V_{PVD6}	PVD 阈值 6	上升沿	2.92	2.98	3.04	V
		下降沿	2.84	2.9	2.96	
$V_{hyst_POR_PVD}$	POR/PDR 及 PVD 迟滞电压	-	-	80	-	mV

注意:

- (1) 由设计保证, 不在生产中测试。
- (2) 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

5.7.2. 主电检测模块 (EVS)

表格 28 主电检测模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	-	-	3.0	-	3.6	V
V_{PVD0}	主电检测阈值 0	上升沿	4.1	4.3	4.5	V
		下降沿	3.96	4.16	4.36	
V_{PVD1}	主电检测阈值 1	上升沿	4.06	4.26	4.46	V
		下降沿	3.92	4.12	4.32	
V_{PVD2}	主电检测阈值 2	上升沿	4.15	4.35	4.55	V
		下降沿	4	4.2	4.4	
V_{PVD3}	主电检测阈值 3	上升沿	4.2	4.4	4.6	V
		下降沿	4.08	4.28	4.48	

符号	参数	条件	最小值	典型值	最大值	单位
V_{hyst}	迟滞电压	-	-	140	-	mV
T_{delay}	延迟时间	$V_{DDA}=1.7V\sim3.6V$	5	15	40	us

注意：VPVDx 中的上升沿及下降沿阈值对应 EINT 模块中的上升沿及下降沿信号（Stop 或者 Run 模式可以配置）。当 EVS 引脚用做 standby 唤醒时，唤醒阈值为上升沿对应的阈值，并非上升沿或者下降沿，也就是只要 EVS 引脚电平比阈值大就会一直唤醒。

5.8. 热阻特征

表格 29 封装热阻特性

符号	参数	$^{\circ}C/W^{(1)}$			
		UFBGA64	QFN60	QFN48	QFN32
$R\theta_{JC}$	结至外壳表面的热阻系数	17.91	11.24	12.25	16.81
$R\theta_{JB}$	结至电路板的热阻系数	26.46	17.75	17.01	21.1
$R\theta_{JA}$ （高 kPCB）	结至大气的热阻系数	49.94	35.69	31.25	43.98

注意：

（1）以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 θ_{JC} [R θ_{JC}] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2，集成电路热试验方法环境条件-自然对流（静止空气）
- JESD51-3，含铅表面贴装封装的低有效导热测试板
- JESD51-7，含铅表面贴装封装的高效导热测试板
- JESD51-9，区域阵列表面贴装封装热测量测试板

5.9. 功耗

5.9.1. 功耗测试环境

功耗测试是在一定的条件下测得：

- 执行 Coremark，编译环境为 Keil V5，编译优化等级为 L0 条件下测得的。
- 所有的 I/O 引脚都处于模拟输入模式，并连接到一个静态电平上的 V_{DD} 或 V_{SS} （无负载）
- 使能内核 Cache
- 除非特别说明，所有的外设都关闭
- Flash 等待周期的设置与 f_{HCLK} 的关系：
 - 0~32MHz：0 个等待周期
 - 32~64MHz：1 个等待周期
 - 64~96MHz：2 个等待周期
 - 96~128MHz：3 个等待周期
- 当外设开启时： $f_{PCLK}=f_{HCLK}$

5.9.2. 运行模式功耗

表格 30 程序在 Flash 执行，运行模式功耗⁽¹⁾

参数	条件	f_{HCLK}	典型值($T_A=25^{\circ}C$)	
			$V_{DD}=3.3V$	
			I_{DD} (mA)	I_{DDA} (mA)
	HSECLK 8M 倍频, PLL 使能, 关闭 HSICLK, 使能所有外设 ⁽²⁾	120MHz	21.51	8.42
		96MHz	17.42	8.38
		64MHz	11.70	8.33
		32MHz	6.16	8.28
		16MHz	3.38	8.25
		8MHz	2.48	8.22
	HSECLK 8M 倍频, PLL 使能, 关闭 HSICLK, 关闭所有外设 ⁽²⁾	120MHz	14.63	0.90
		96MHz	11.82	0.86
		64MHz	8.04	0.82
		32MHz	4.24	0.78
		16MHz	2.34	0.77
		8MHz	1.72	0.75

注意:

- (1) 由综合评估得出, 不在生产中测试。
- (2) 当 ADC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需考虑额外的功耗。

5.9.3. 停机模式功耗

表格 31 停机模式功耗⁽¹⁾

条件		典型值 $V_{DD}=3.3V, T_A=25^{\circ}C$
		$I_{DD}+I_{DDA}$ (μA)
Flash 深度掉电模式, 所有振荡器处于关闭状态, 无独立看门狗 32KB ITCM 开启	调压器 (低功耗模式)	8.38
Flash 深度掉电模式, 所有振荡器处于关闭状态, 无独立看门狗 32KB ITCM 关闭	调压器 (低功耗模式)	8.27

注意: (1) 由综合评估得出, 不在生产中测试。

5.9.4. 待机模式功耗

表格 32 待机模式功耗⁽¹⁾

条件		典型值 $V_{DD}=3.3V$, $T_A=25^{\circ}C$
		$I_{DD}+I_{DDA}$ (μA)
待机模式下的电源电流	LSI 和 RTC 打开	1.59
	LSI 和 RTC 关闭	1.50

注意：（1）由综合评估得出，不在生产中测试。

5.10. 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 $V_{DD}=V_{DDA}$ 。

表格 33 低功耗唤醒时间 ($T_A=-25^{\circ}C$) ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t_{WUSTOP}	从停机模式唤醒	调压器以低功耗模式运行，Flash 在深度掉电模式	-	20	-	μs
$t_{WUSTDBY}$	从待机模式唤醒	FLASH_OBSR1 中 ADTSLOAD=1	-	50	-	
		FLASH_OBSR1 中 ADTSLOAD=0	-	60	-	

注意：（1）表中时间值均由 8MHz HSICLK 振荡器作唤醒时钟源，唤醒时间是从收到唤醒信号到唤醒后第一条指令的时间。由综合评估得出，不在生产中测试。

5.11. I/O 端口特性

5.11.1. 直流特性

除非另有说明，否则下表中给出的参数均来自通用工作条件的环境温度和电源电压条件下进行的实验。

表格 34 直流特性 ($T_A=-40^{\circ}C \sim 105^{\circ}C$, $V_{DD}=1.7 \sim 3.6V$) ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	5T, STD 和 NRST I/O	-	-	0.8	V
V_{IH}	输入高电平电压	5T, STD 和 NRST I/O	2	-	-	
V_{hys}	施密特触发器迟滞	5T, STD 和 NRST I/O	-	350	-	mV
I_{lkg}	输入漏电流	STD I/O, $0 \leq V_{IN} \leq V_{DD}$	-	-	2	μA
		5Tf I/O, $0 \leq V_{IN} \leq V_{DD}$	-	-	2	μA
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	30	40	50	k Ω
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DD}$	30	40	50	
C_{IO}	I/O 销电容	-	-	5	-	pF

注意：（1）由综合评估得出，不在生产中测试。

5.11.2. 输出驱动电流特性

GPIO（通用输入/输出）可以接收或发送高达 $\pm 8\text{mA}$ ，放宽 VOL/VOH 可以接收或发送高达 $\pm 20\text{mA}$ 。

在用户应用中，必须限制可驱动电流的 I/O 引脚的数量，确保不超过本手册规定的绝对最大额定值：

- VDD 上所有 I/O 源的电流总之和，加上 VDD 上 MCU 源的最大功耗，不能超过绝对最大额定值 ΣI_{VDD} 。
- VSS 上所有 I/O 的电流之和，加上 VSS 上 MCU 源的最大功耗，不能超过绝对最大额定值 ΣI_{VSS} 。

5.11.3. 交流特性

除非另有说明，否则下表中给出的参数均来自通用工作条件的环境温度和电源电压条件下进行的实验。

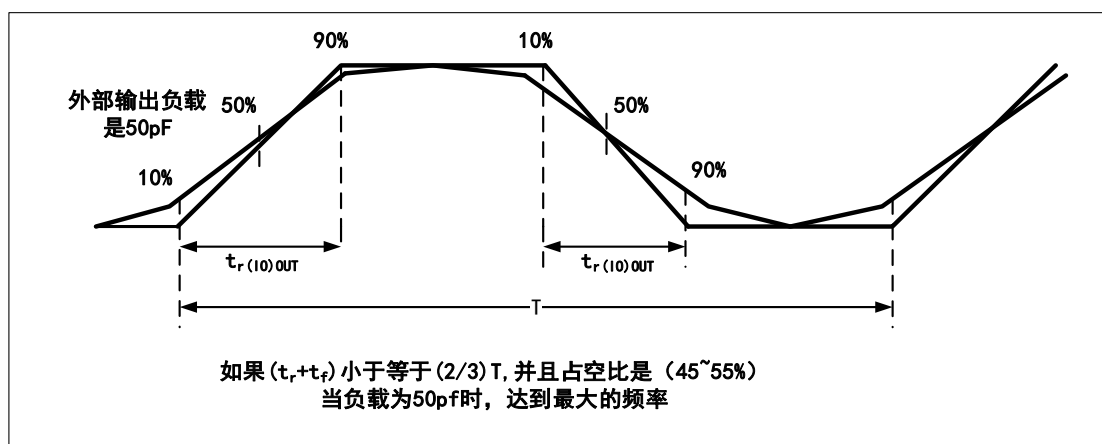
表格 35 交流特性 ($T_A=25^\circ\text{C}$) ⁽¹⁾

OSPEED[1:0]	符号	参数	条件	最小值	典型值	最大值	单位
0x	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DD} \geq 2.0\text{V}$	2	-	-	MHz
	$t_{f(\text{IO})\text{out}}/t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=50\text{pF}$, $V_{DD} \geq 2.0\text{V}$	-	-	125	ns
10	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DD} \geq 2.0\text{V}$	10	-	-	MHz
	$t_{f(\text{IO})\text{out}}/t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=50\text{pF}$, $V_{DD} \geq 2.0\text{V}$	-	-	25	ns
11	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=30\text{pF}$, $V_{DD} \geq 2.7\text{V}$	50 ⁽²⁾	-	-	MHz
			$C_L=50\text{pF}$, $V_{DD} \geq 2.7\text{V}$	27	-	-	
			$C_L=50\text{pF}$, $2.0\text{V} \leq V_{DD} \leq 2.7\text{V}$	20	-	-	
	$t_{f(\text{IO})\text{out}}/t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=30\text{pF}$, $V_{DD} \geq 2.7\text{V}$	-	-	5	ns
			$C_L=50\text{pF}$, $V_{DD} \geq 2.7\text{V}$	-	-	8	
			$C_L=50\text{pF}$, $2.0\text{V} \leq V_{DD} \leq 2.7\text{V}$	-	-	12	

注意：（1）由综合评估得出，不在生产中测试。

（2）仅限于 SPI 对应的 IO。

图 14 输入输出交流特性定义



5.11.4. 输出驱动电压特性

除非另有说明，否则下表中给出的参数均来自通用工作条件的环境温度和电源电压条件下进行的实验，且所有 I/O 都是 CMOS 和 TTL 兼容的。

表格 36 输出驱动电压特性($T_A=25^{\circ}\text{C}$)⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(2)}$	I/O 引脚输出低电平电压	$ I_{IO} =20\text{mA}$, $2.7\text{V}<V_{DD}<3.6\text{V}$	-	1.3	V
$V_{OH}^{(2)}$	I/O 引脚输出高电平电压		$V_{DD}-1.3$	-	
$V_{OL}^{(2)}$	I/O 引脚输出低电平电压	TTL 端口, $ I_{IO} =8\text{mA}$, $2.7\text{V}<V_{DD}<3.6\text{V}$	-	0.4	
$V_{OH}^{(2)}$	I/O 引脚输出高电平电压		$V_{DD}-0.4$	-	
$V_{OL}^{(2)}$	I/O 引脚输出低电平电压	CMOS 端口, $ I_{IO} =8\text{mA}$, $2.7\text{V}<V_{DD}<3.6\text{V}$	-	0.4	
$V_{OH}^{(2)}$	I/O 引脚输出高电平电压		2.4	-	
$V_{OL}^{(2)}$	I/O 引脚输出低电平电压	$ I_{IO} =6\text{mA}$, $2.0\text{V}<V_{DD}<2.7\text{V}$	-	0.4	
$V_{OH}^{(2)}$	I/O 引脚输出高电平电压		$V_{DD}-0.4$	-	

注意:

- (1) 由综合评估得出，不在生产中测试。
- (2) I/O 输入或输出的 I_{IO} 电流必须始终符合本手册规定的绝对最大额定值。

5.12. NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻 RPU。除非另有说明，否则下表中给出的参数均来自通用工作条件的环境温度和电源电压条件下进行的实验。

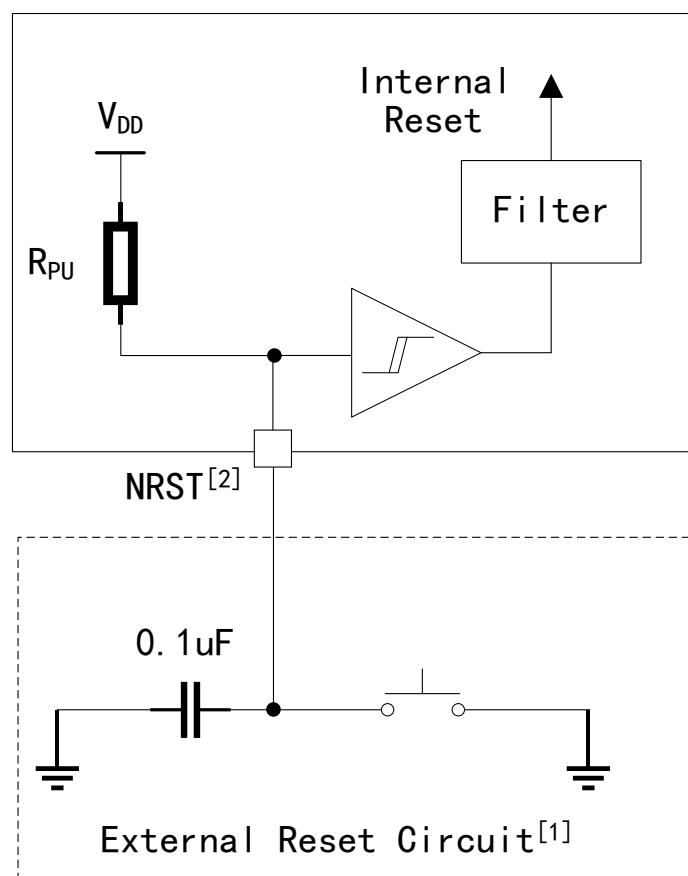
表格 37 NRST 引脚特性 ($T_A=-40\sim 105^{\circ}\text{C}$, $V_{DD}=1.7\text{V}-3.6\text{V}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	NRST 低电平输入	-	-	-	0.8	V
V_{IH}	NRST 高电平输入	-	2	-	-	
V_{hys}	NRST 施密特触发器电压迟滞	-	-	0.3	-	

符号	参数	条件	最小值	典型值	最大值	单位
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}$	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}$	NRST 输入未滤波的脉冲	-	300	-	-	
T_{NRST_OUT}	产生的复位脉冲持续时间	重置内部来源	20	-	-	μ s

注意：（1）由综合评估得出，不在生产中测试。

图 15 推荐 NRST 引脚保护



5.13. 通信外设

5.13.1. I2C 外设特性

为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 2MHz。

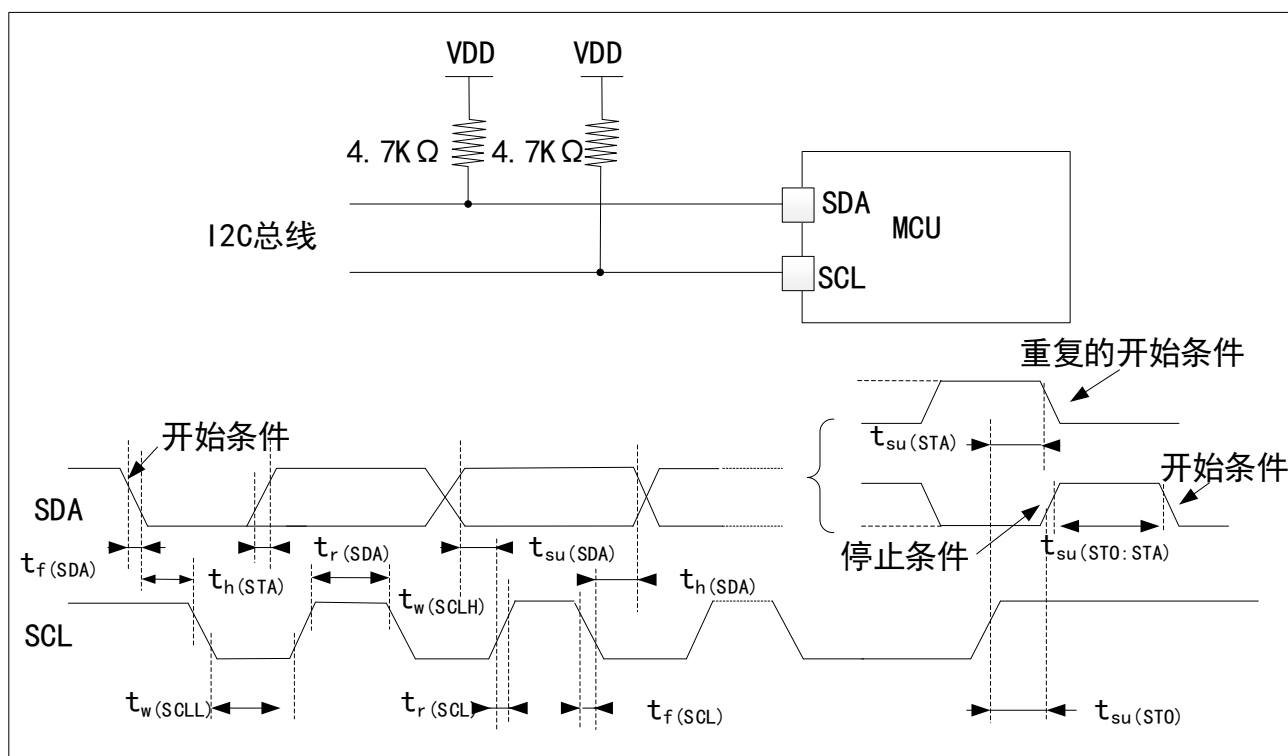
为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 4MHz。

表格 38 I2C 接口特性($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$)⁽¹⁾

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{W(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	μ s
$t_{W(SCLH)}$	SCL 时钟高时间	4	-	0.6	-	

注意：（1）由综合评估得出，不在生产中测试。

图 16 总线交流波形和测量电路



注意：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.13.2. SPI 外设特性

表格 39 SPI 特性 ($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$) (1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	-	50	MHz
$1/t_{\text{C(SCK)}}$		从模式	-	-	50	

符号	参数	条件	最小值	典型值	最大值	单位
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: C=15pF	-	-	8	ns
$t_{su(NSS)}$	NSS 建立时间	从模式	$4T_{PCLK}$	-	-	
$t_{h(NSS)}$	NSS 保持时间	从模式	$2T_{PCLK}$	-	-	
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK 高和低的时间	主模式, SPI prescaler=2	$T_{PCLK}-1$	T_{PCLK}	$T_{PCLK}+1$	
$t_{su(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	4	-	-	
		从模式	3	-	-	
$t_{h(MI)}$ $t_{h(SI)}$	数据输入保持时间	主模式	5.5	-	-	
		从模式	1	-	-	
$t_{a(SO)}$	数据输出访问时间	从模式	9	-	34	
$t_{dis(SO)}$	数据输出禁止时间	从模式	9	-	16	
$t_{v(SO)}$	数据输出有效时间	从模式 (使能边沿之后)	-	9	18	
$t_{v(MO)}$		主模式 (使能边沿之后)	-	3.5	4.5	
$t_{h(SO)}$ $t_{h(MO)}$	数据输出保持时间	从模式 (使能边沿之后)	6	-	-	
		主模式 (使能边沿之后)	2	-	-	

注意: (1) 由综合评估得出, 不在生产中测试。

图 17 SPI 时序图—从模式和 CPHA=0

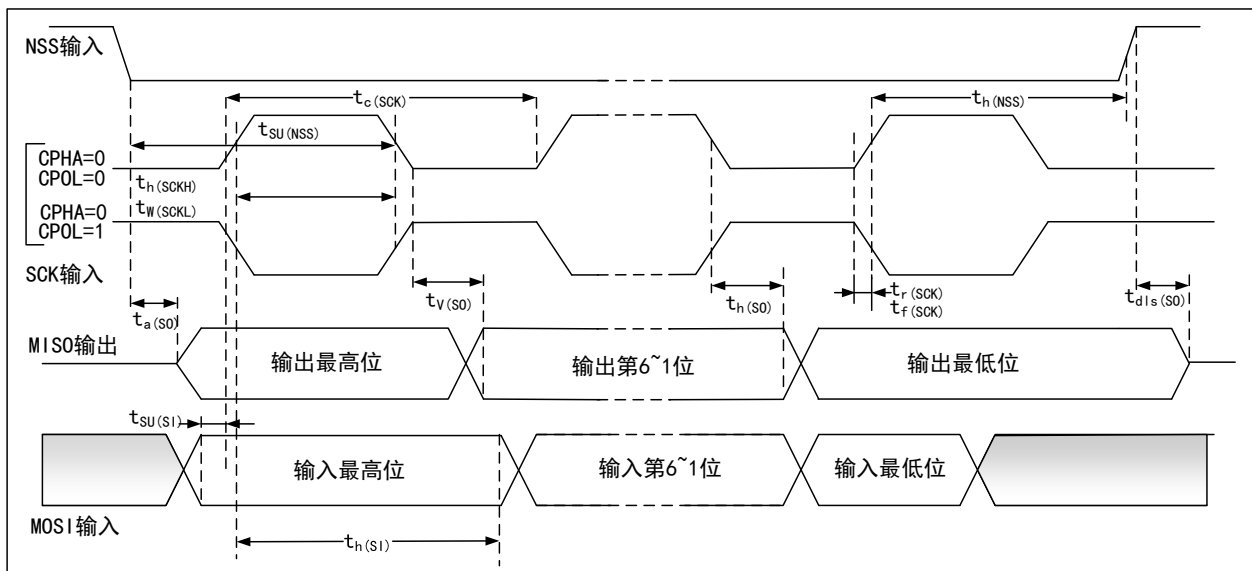
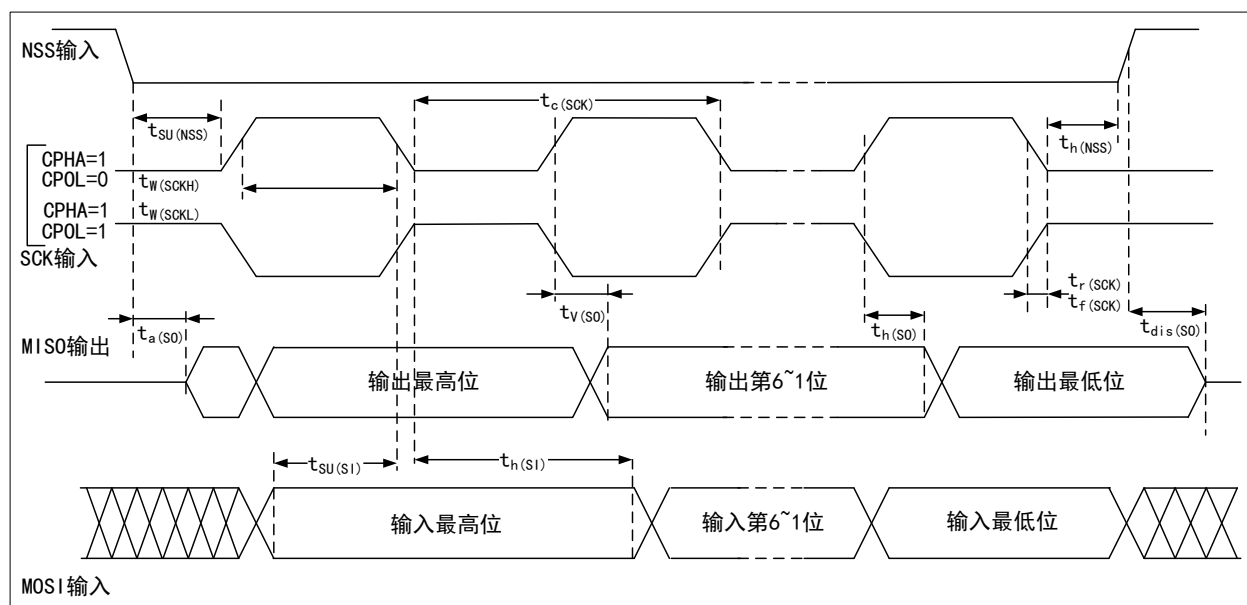
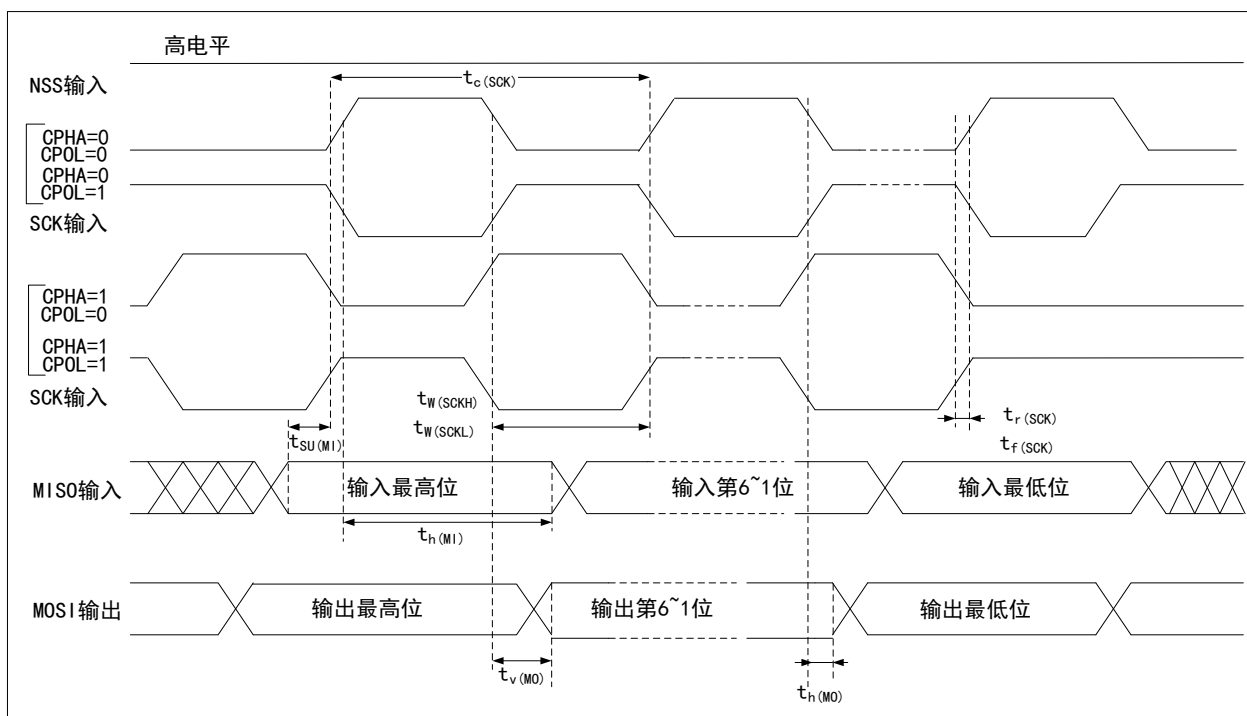


图 18 SPI 时序图—从模式和 CPHA=1



注意：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

图 19 SPI 时序图—主模式



注意：测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

5.14. ADC 特性

ADC 测试参数说明：

- 采样率：ADC 每秒进行的模拟量转数字量的次数
- 采样率=ADC 时钟/ (采样周期数+转换周期数)

5.14.1. 16 位 ADC 特性

表格 40 16 位 ADC 特性⁽¹⁾⁽²⁾

符合	参数描述	条件	最小值	典型值	最大值	单位
f_{ADC}	ADC 时钟频率	$f_{HCLK}=128\text{MHz}$	-	-	$f_{HCLK}/6$	MHz
V_{DDA}	模拟电源电压	-	3.0	-	3.6	V
V_{REF+}	正参考电压	内部参考电压模式, $T_A=25^\circ\text{C}$	1.648	1.65	1.652	V
		外部参考电压模式	-	-	V_{DDA}	
V_{REF-}	负参考电压	-	V_{SSA}	-	-	V
$t_{ADC\text{VREG_STUP}}$	ADC 稳压器启动时间	-	-	-	10	ms
t_{STAB}	上电时间	-	-	10	-	conversion cycle
$V_{AIN}^{(3)}$	转换电压范围	内部参考电压模式	0	-	$2*V_{REF+}$	V
		外部参考电压模式	0	-	V_{REF+}	V
V_{CMIN}	输入共模电压	内部参考电压模式	1.648	1.65	1.652	V
		外部参考电压模式	$(V_{REF+}+V_{REF-})/2-0.02$	$(V_{REF+}+V_{REF-})/2$	$(V_{REF+}+V_{REF-})/2+0.02$	V
f_{sample}	ADC 采样周期	单端模式, $f_{ADC}=21.3\text{MHz}$, 所有 ADC 运行	5	-	16	$1/f_{ADC}$
		差分模式, $f_{ADC}=21.3\text{MHz}$, 所有 ADC 运行	3	-	16	$1/f_{ADC}$
t_s	采样时间	单端模式, $f_{ADC}=21.3\text{MHz}$, 所有 ADC 运行	0.234	-	0.75	μs
		差分模式, $f_{ADC}=21.3\text{MHz}$, 所有 ADC 运行	0.14	-	0.75	μs
f_s	采样率, 连续模式, $f_s=f_{ADC}/(\text{sample time cycles} + 21)$	单端, $f_{ADC}=21.3\text{MHz}$	0.577	-	0.821	Msp/s
		差分, $f_{ADC}=21.3\text{MHz}$	0.577	-	0.889	Msp/s
t_{CONV}	总转换时间 (包含采样时间)	单端, $f_{ADC}=21.3\text{MHz}$	1.218	-	1.734	μs
		差分, $f_{ADC}=21.3\text{MHz}$	1.125	-	1.734	μs
R_{AIN}	外部输入阻抗	-	-	-	1	k Ω
C_{ADC}	内部采样和保持电容	内部参考电压模式	-	3	-	pF
		外部参考电压模式	-	6	-	pF

符合	参数描述	条件	最小值	典型值	最大值	单位
t_{LATR}	触发转换延迟（没有转换中止的常规和注入通道）	$f_{ADC}=f_{HCLK}/6$	2.5	3	3.5	$1/f_{ADC}$
$t_{LATRINJ}$	触发转换延迟（终止常规转换的注入通道）	$f_{ADC}=f_{HCLK}/6$	3.5	4	4.5	$1/f_{ADC}$
$I_{DDA(ADC)}$	ADC 功耗 (V_{DDA})	$f_s = f_{S(max)}$	-	3000	3300	μA

注意:

- (1) 由设计保证，不在生产中测试。
- (2) 当 $V_{DDA} < 2.4V$ 时，启用 I/O 模拟开关电压升压器（当 $V_{DDA} < 2.4V$ 时，在 SYSCFG_CFGR1 中启动=1）。当 $V_{DDA} \geq 2.4V$ 时，它被禁用。
- (3) V_{REF+} 可以在内部连接到 V_{DDA} 引脚，取决于封装选项。

表格 41 16 位 ADC 精度 ($T_A=25^{\circ}C$, $V_{DD}=V_{DDA}=3.3V$)

符号	参数描述	测试条件	模式	典型值	最大值	单位
E _O	偏移误差	f _{HCLK} =128MHz, f _{ADC} =f _{HCLK} /6, 外部参考电压, (未校准)	单端模式	±25	-	LSB
			差分模式		-	
E _G	增益误差		单端模式	±25	-	
			差分模式		-	
E _T	综合误差		单端模式	±40	-	
			差分模式		-	
E _D	微分线性误差		单端模式	±5	-	
			差分模式	±3	-	
E _L	积分线性误差	单端模式	±15	-		
		差分模式	±10	-		
ENOB	有效位数	时钟源为 HSE, f _{HCLK} =128MHz, f _{ADC} =f _{HCLK} /6, V _{REF+} =1.65V (内部参 考电压), 输入信号频率=100kHz	单端模式	12.1	-	bits
			差分模式	13.3	-	
SINAD	信噪比和失真比		单端模式	74.6	-	dB
			差分模式	81.8	-	
SNR	信噪比		单端模式	74.5	-	
			差分模式	82.3	-	
THD	总谐波失真		单端模式	-88.1	-	
			差分模式	-94.4	-	
ENOB	有效位数	时钟源为 HSE, f _{HCLK} =128MHz f _{ADC} =f _{HCLK} /6,	单端模式	12.5	-	bits
			差分模式	13.6	-	
SINAD	信噪比和失真比			单端模式	77.0	-

符号	参数描述	测试条件	模式	典型值	最大值	单位
		V _{REF+} =V _{DDA} (外部参考电压) 输入信号频率=100kHz	差分模式	83.6	-	
SNR	信噪比		单端模式	77.7	-	
			差分模式	84.7	-	
THD	总谐波失真		单端模式	-86.5	-	
			差分模式	-91.2	-	

注意：由设计保证，不在生产中测试。

5.14.2. 12 位 ADC 特性

表格 42 12 位 ADC 特性

符号	参数描述	条件	最小值	典型值	最大值	单位
f _{ADC}	ADC 时钟频率	-	-	-	20	MHz
V _{DDA}	供电电压	-	2.7	-	3.6	V
V _{REF+}	正参考电压	-	2.7	-	V _{DDA}	V
t _S	采样时间	f _{ADC} =20MHz	0.35	-	12.8	μs
			7	-	256	1/f _{ADC}
f _S	采样速率 f _S =f _{ADC} /(sample time cycles +13)	f _{ADC} =20MHz	0.074	-	1	MHz
V _{AIN}	转换电压范围	-	0	-	V _{REF+}	V
R _{AIN}	外部输入阻抗	-	-	-	1	kΩ
C _{ADC}	采样保持电容	-	-	6	-	pF

注意：由设计保证，不在生产中测试。

表格 43 12 位 ADC 精度⁽¹⁾

符号	参数描述	条件	典型值	最大值	单位
E _T	综合误差	时钟源为 HSE, f _{ADC} =20MHz, V _{DDA} =2.7V~3.6V T _A =-40℃~105℃ 输入信号频率=27.5kHz	± 2.5	-	LSB
E _O	偏移误差		± 2.0	-	
E _G	增益误差		± 2.0	-	
E _D	微分线性误差		± 1.0	-	
E _L	积分线性误差		± 1.8	-	
ENOB	有效位数		10.6	-	bits
SINAD	信噪比和失真比		65.6	-	dB
SNR	信噪比		69.9	-	
THD	总谐波失真		-71.6	-	

注意：由综合评估得出，不在生产中测试。

5.15. 温度传感器特性

表格 44 温度传感器特性

符号	参数描述	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	-	2.7	3.3	3.6	V
T_{AE}	绝对误差	$T_A = -40 \sim 105^{\circ}\text{C}$	-6	-	6	$^{\circ}\text{C}$
$I_{DD(TS)}$	温度传感器的电流消耗		-	550	-	μA
t_{startup}	上电到模块采样稳定时间		-	10	-	ms

注意：由设计保证，不在生产中测试。

5.16. LTCBG 参考电压

表格 45 LTCBG 特性

符号	参数描述	条件	最小值	典型值	最大值	单位
V_{DDA}	-	-	1.7	3.3	3.6	V
V_{REF_LTCBG}	输出电压	-	-	1.08	-	V
$\Delta V_{REF_LTCBG_TC}$	输出电压的温度特性	$T_j = -40 \sim 125^{\circ}\text{C}$	-	23	-	ppm
$\Delta V_{REF_LTCBG_VC}$	输出电压的电压特性	$V_{DDA} = 1.7\text{V} \sim 3.6\text{V}$	-	44	-	ppm
I_{LTCBG}	电流	-	-	85	-	μA
T_{STABLE}	稳定时间	-	-	-	45	us

5.17. 比较器特性

表格 46 COMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	-	-	2.7	3.3	3.6	V
G_{OL}	开环增益	-	-	82	-	dB
V_{min}	比较器分辨率	-	300	-	-	μV
V_O	输入失调电压	$2.7\text{V} < V_{IN} < 3.6\text{V}$, $-40^{\circ}\text{C} < T_A < 105^{\circ}\text{C}$	-18	-	18	mV
V_{hys}	迟滞电压	$\text{HYS}[1:0] = 0b00$	-	0	-	mV
		$\text{HYS}[1:0] = 0b01$	-	24	-	
		$\text{HYS}[1:0] = 0b10$	-	45	-	
		$\text{HYS}[1:0] = 0b11$	-	65	-	
T_d	响应时间	阶跃相应	-	50	-	ns
		比较器使能信号到输出变化的时间	-	130	-	

符号	参数	条件	最小值	典型值	最大值	单位
I_{comp}	消耗电流	-	-	126	-	μA

5.18. DAC 特性

表格 47 DAC 特性⁽¹⁾

符号	参数描述	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	-	2.7	-	3.6	V
V_{DAC_REF+}	正参考电压	-	-	-	V_{DDA}	
V_{DAC_REF-}	负参考电压	-	V_{SSA}	-	-	
V_{DAC_OUT}	输出电压	-	0.3	-	$V_{DDA}-0.3$	
C_L	负载电容	内部通道	-	-	1	pF
		外部通道	-	-	50	
$t_{SETTLING}$	建立时间	内部通道	-	-	600	ns
		外部通道	-	-	1000	
$I_{DDA(DAC)}$	从 V_{DDA} 上消耗的电流	-	-	480	632	μA

注意：（1）由综合评估得出，不在生产中测试。

表格 48 DAC 精度（基于 1MSPS 的精度）

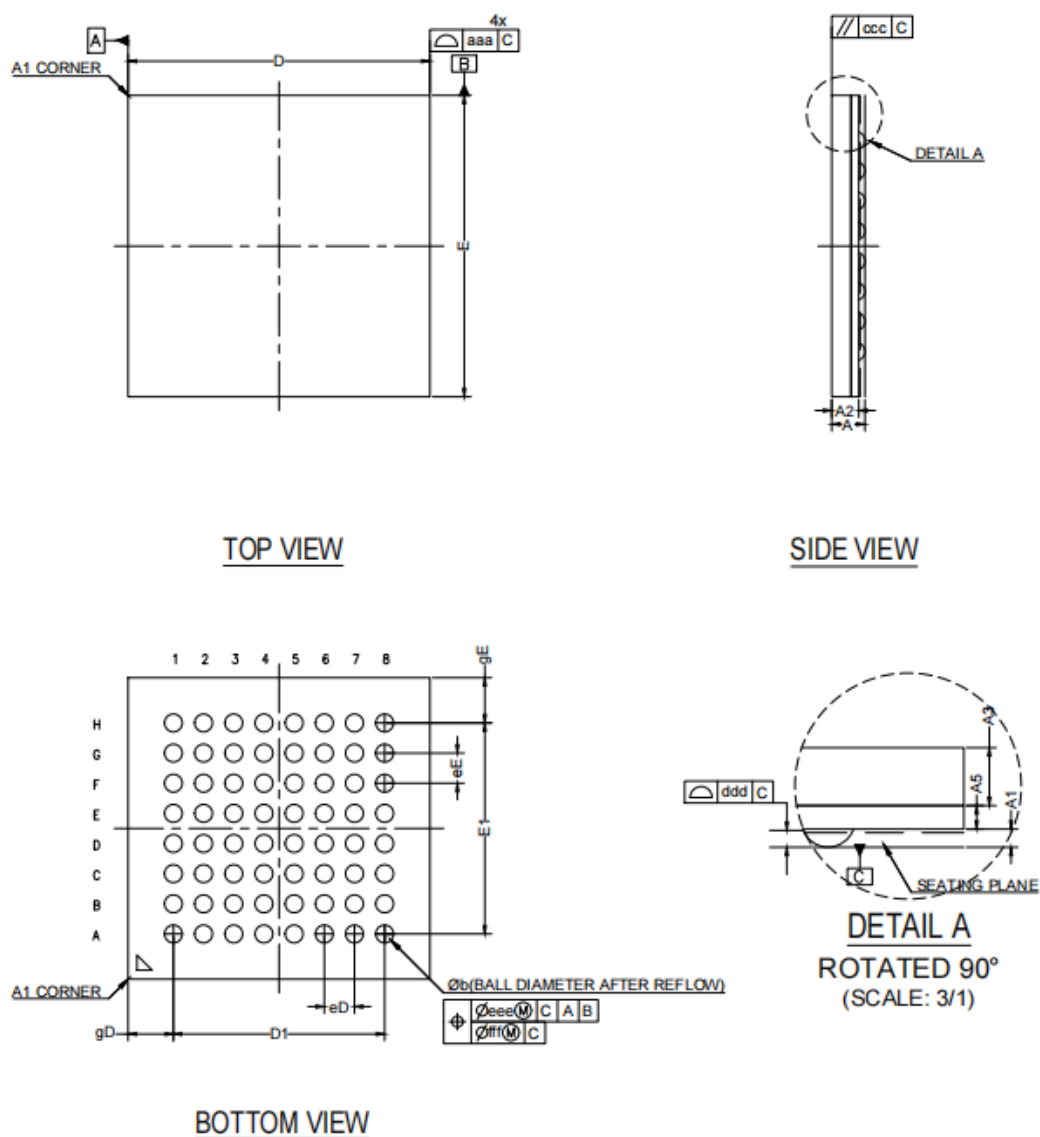
符号	参数	条件	最小值	典型值	最大值	单位
E_O	偏移误差	-	-	-	± 10	mV
E_G	增益误差	-	-	-	± 0.5	%
E_T	综合误差	-	-	-	± 5	LSB
E_D	微分非线性	-	-	-	± 1	
E_L	积分非线性	-	-	-	± 2	
ENOB	有效位数	-	-	9.4	-	bits
SNR	信噪比	-	-	58.4	-	dB
SINAD	信噪比和失真比	-	-	58.2	-	
THD	总谐波失真	-	-	-69.7	-	

注意：由综合评估得出，不在生产中测试。

6. 封装信息

6.1. UFBGA64 封装信息

图 20 UFBGA64 封装图



注意：图不是按比例绘制。

表格 49 UFBGA64 封装数据

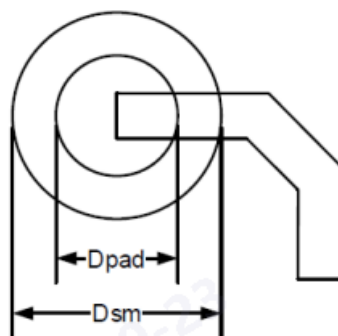
ITEM		SYMBOL	COMMON DIMENSIONS		
			MIN.	NOM.	MAX.
Body Size	X	D	4.900	5.000	5.100
	Y	E	4.900	5.000	5.100

ITEM		SYMBOL	COMMON DIMENSIONS		
			MIN.	NOM.	MAX.
Ball Pitch	X	eD	0.500		
	Y	eE	0.500		
Total Thickness		A	0.460	0.550	0.620
Ball Stand Off		A1	0.070	0.100	0.130
Mold+Substrate		A2	0.400	0.450	0.500
Mold Thickness		A3	0.280	0.320	0.360
Substrate Thickness		A5	0.100	0.130	0.160
Raw Ball Size		b'	0.210		
Ball Size (After Reflow)		b	0.245	0.295	0.345
Package Edge Tolerance		aaa	0.150		
Mold Flatness		ccc	0.200		
Coplanarity		ddd	0.080		
Ball Offset (Package)		eee	0.150		
Ball Offset (Ball)		fff	0.050		
Ball Count		n	64		
Edge Ball Center to Center	X	D1	3.500		
	Y	E1	3.500		
Edge Ball Center to Package Edge	X	gD	0.750		
	Y	gE	0.750		

注意:

- (1) 尺寸单位为毫米。
- (2) 所有尺寸和公差均符合 ASME Y14.5M-2009 标准。
- (3) 引脚位置标注依据 JESD 95 标准。
- (4) “b” 尺寸是在最大焊球直径处测量，且与主基准 C 平行。
- (5) BGA 焊盘的阻焊膜开口直径为 $\varnothing 0.29$ 毫米。

图 21 UFBGA64 焊接 Layout 建议

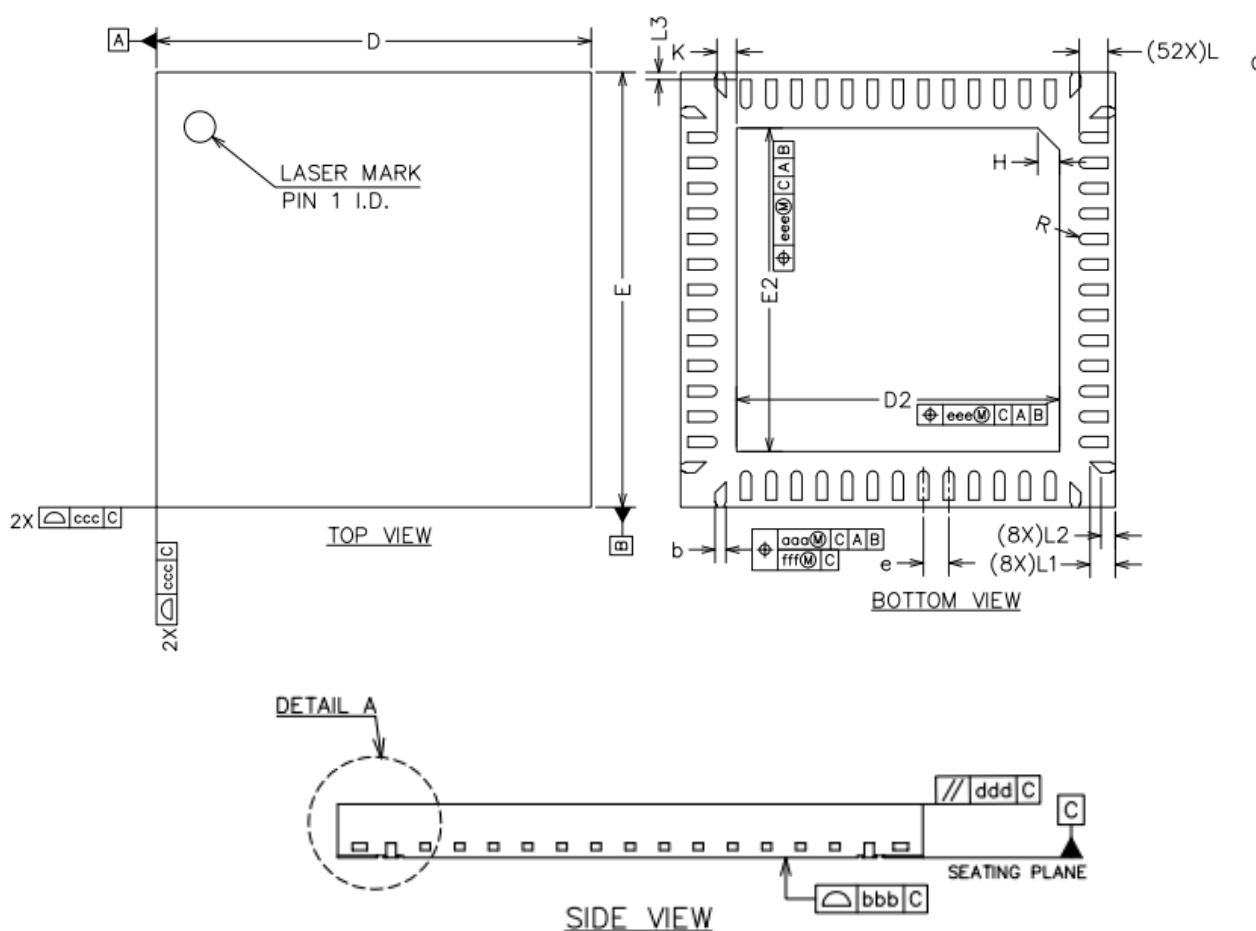


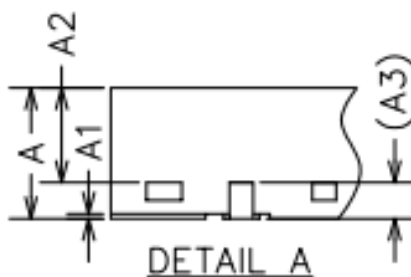
表格 50 UFBGA64 焊接 Layout 建议的说明

Dimension	Recommended values
Pitch	0.5 mm
Dpad	0.280 mm
Dsm	0.370 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.280 mm
Stencil thickness	Between 0.100 mm and 0.125 mm
Pad trace width	0.100 mm

6.2. QFN60 封装信息

图 22 QFN60 封装图





注意:

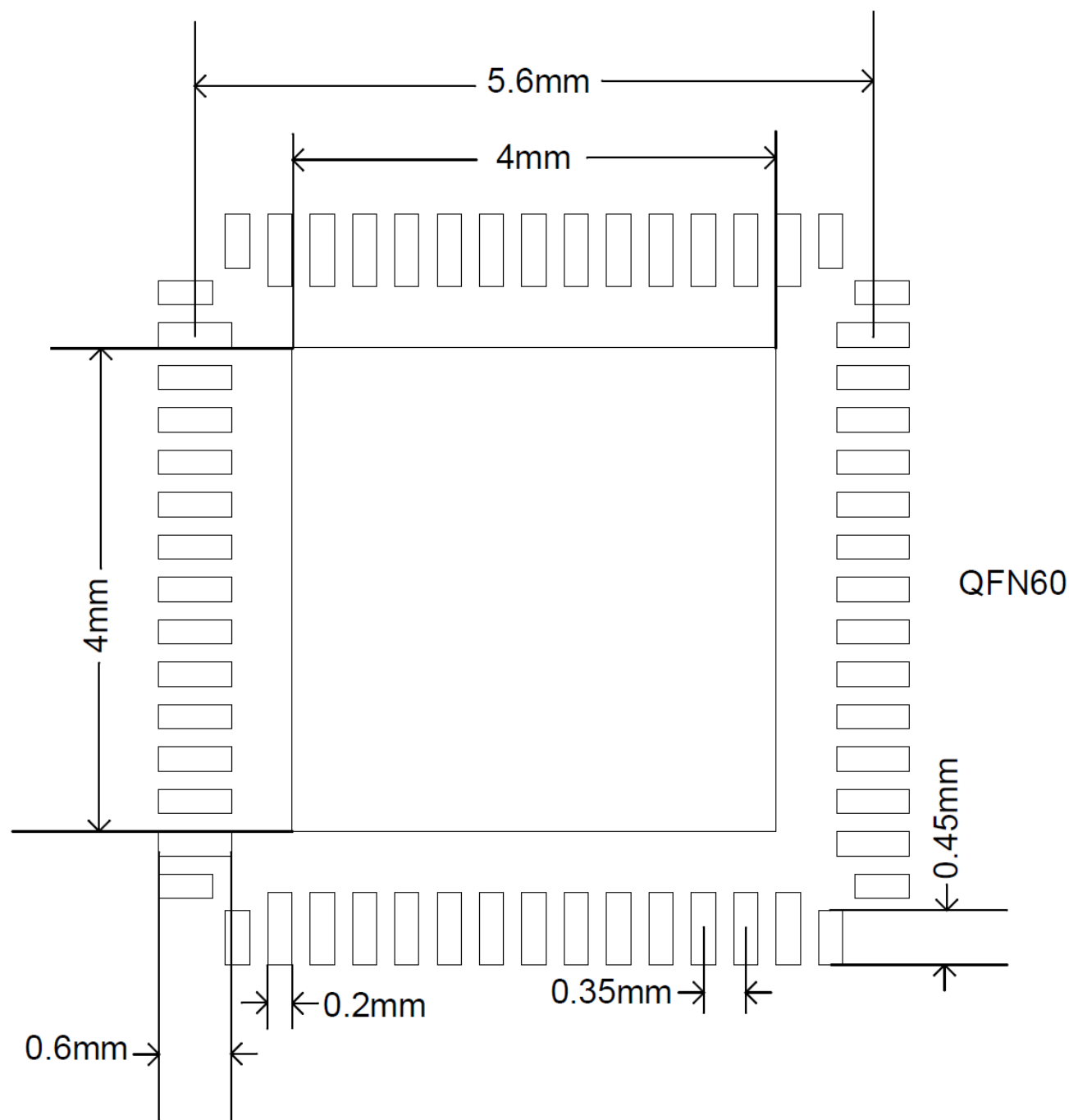
- (1) 图不是按比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 51 QFN60 封装数据

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A2	0.35	0.40	0.45
A3	0.152REF		
b	0.10	0.15	0.20
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.36	4.46	4.56
E2	4.36	4.46	4.56
e	0.35BSC		
H	0.30REF		
K	0.17	0.27	0.37
L	0.35	0.40	0.45
L1	0.299	0.349	0.399
L2	0.149	0.199	0.249
L3	0.05	0.10	0.15
R	0.05	-	-
aaa	0.07		
bbb	0.08		
ccc	0.10		
ddd	0.10		
eee	0.10		

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
fff	0.05		

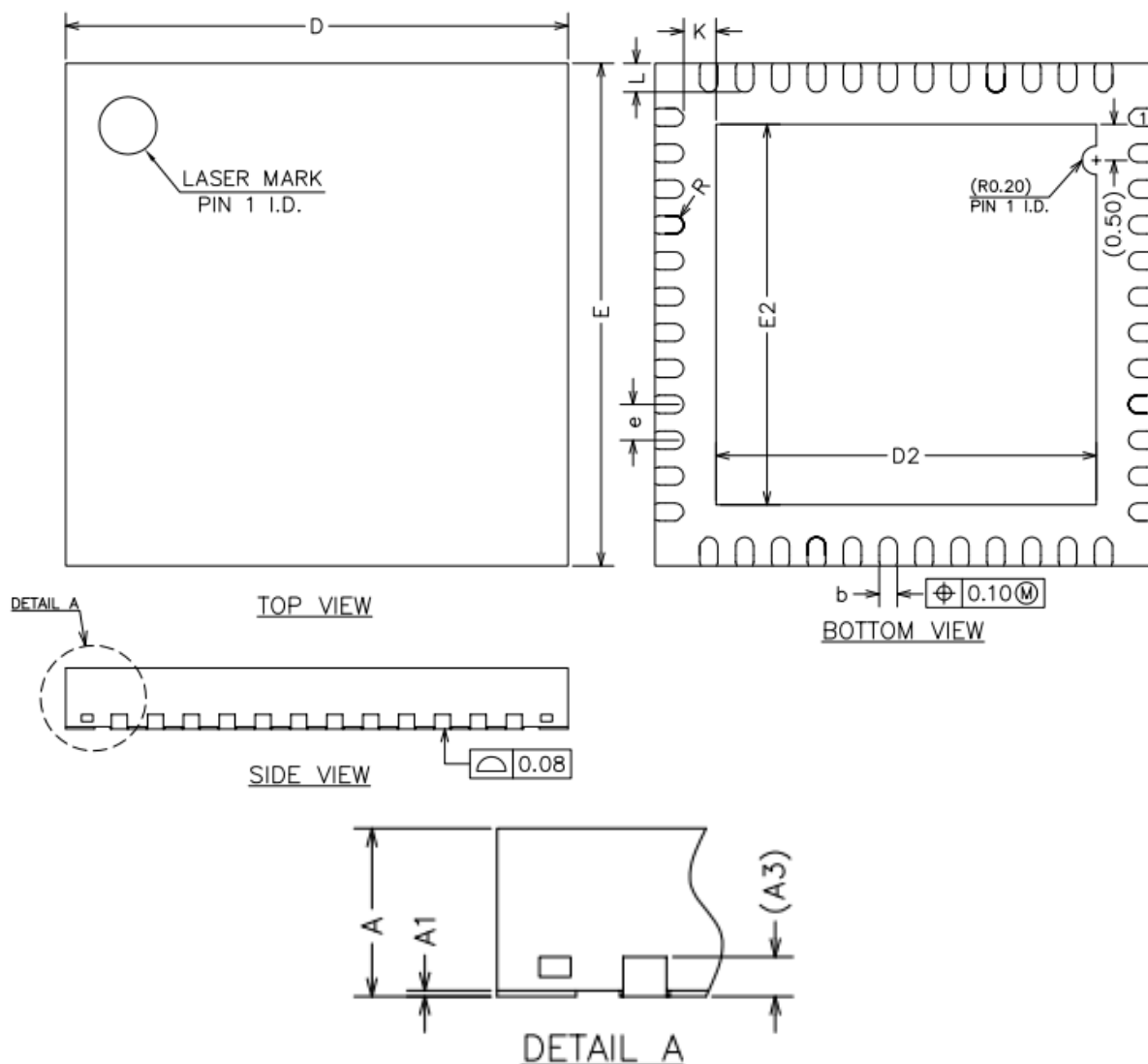
图 23 QFN60 焊接 Layout 建议



注意：尺寸单位为毫米。

6.3. QFN48 封装信息

图 24 QFN48 封装图



注意:

- (1) 图不是按比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

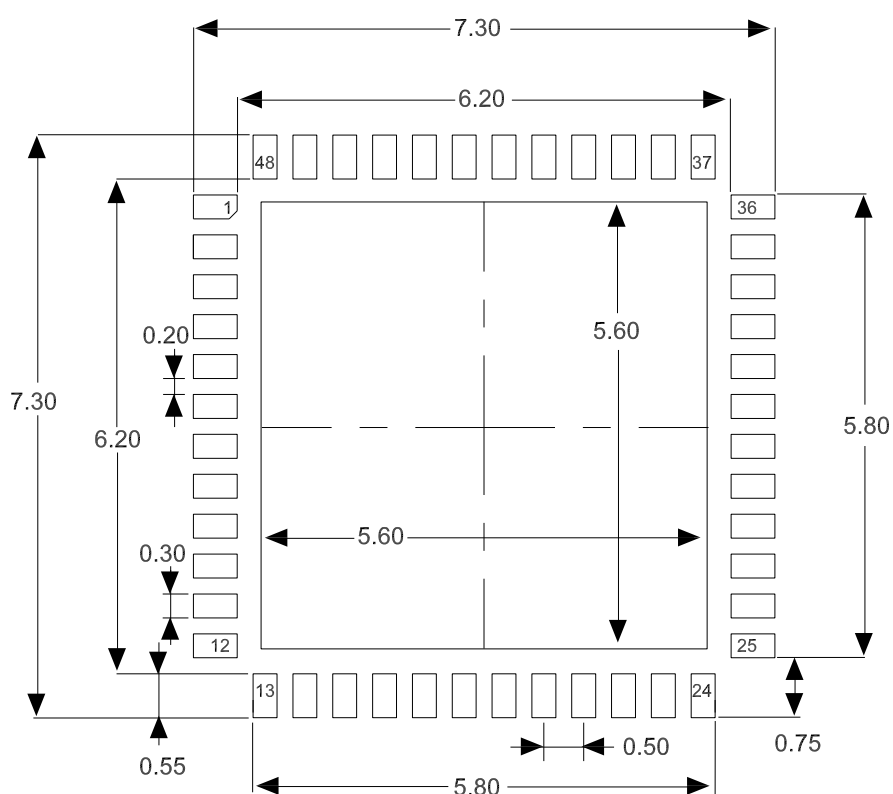
表格 52 QFN48 封装数据

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
D	6.90	7.00	7.10
E	6.90	7.00	7.10
D2	5.20	5.30	5.40
E2	5.20	5.30	5.40
e	0.40	0.50	0.60
K	0.35	0.45	0.55
L	0.30	0.40	0.50
R	0.09	-	-

注意：尺寸单位为毫米。

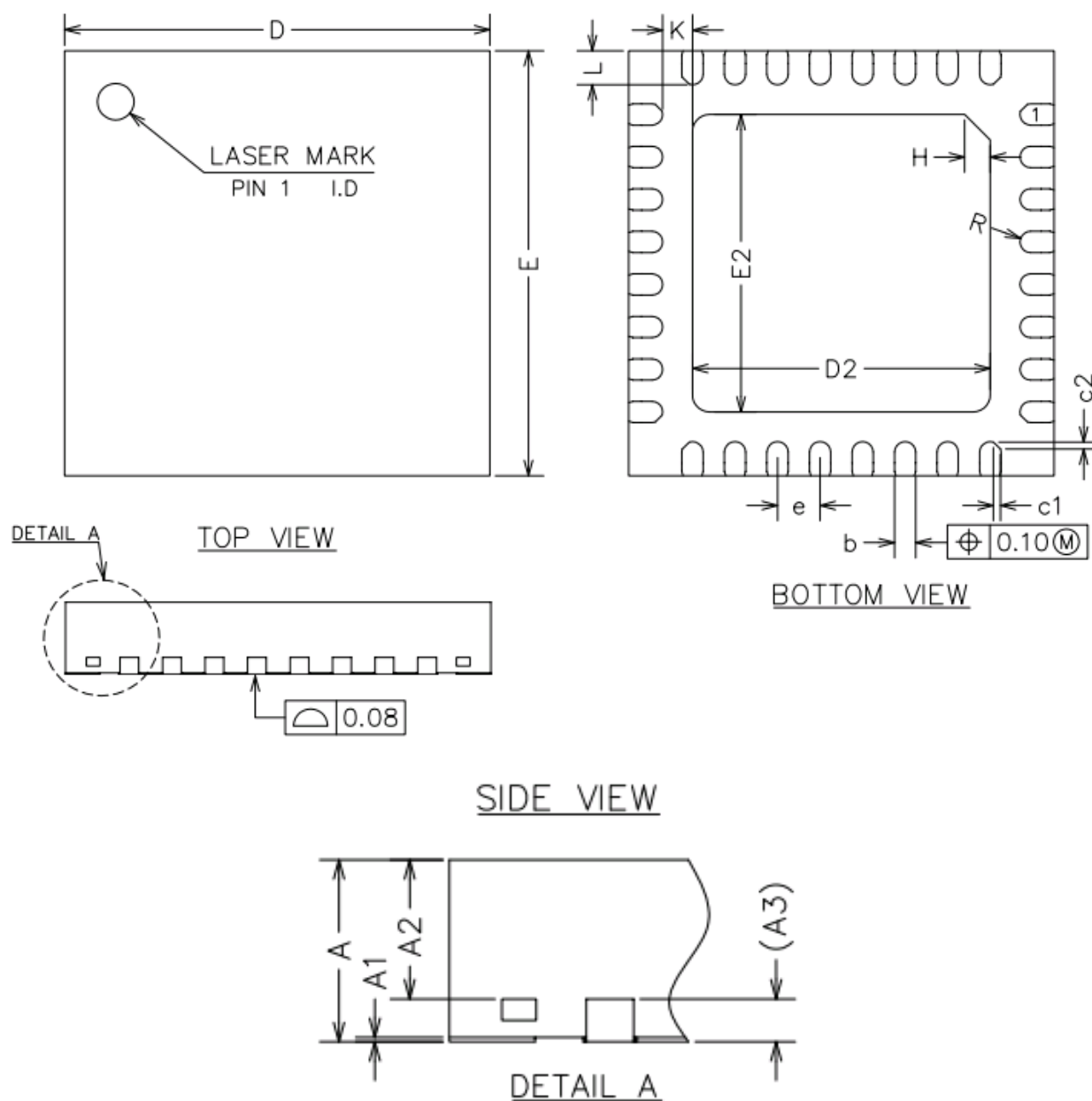
图 25 QFN48 焊接 Layout 建议



注意：尺寸单位为毫米。

6.4. QFN32 封装信息

图 26 QFN32 封装图



注意:

- (1) 图不是按比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

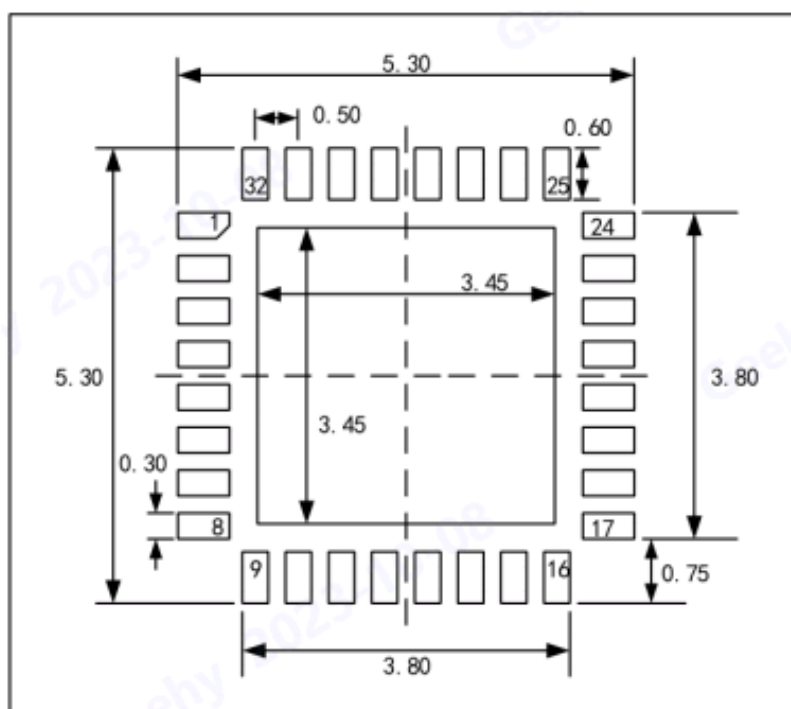
表格 53 QFN32 封装数据

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e	0.40	0.50	0.60
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09	-	-
c1	-	0.08	-
c2	-	0.08	-

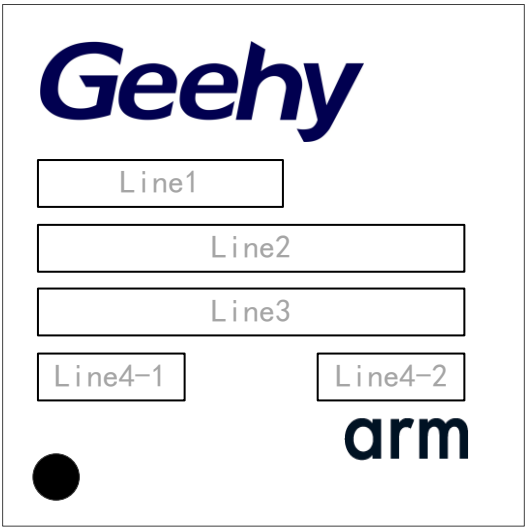
注意：尺寸单位为毫米。

图 27 QFN32 焊接 Layout 建议



6.5. 封装标识

图 28 UFBGA 和 QFN 封装标识



表格 54 UFBGA 和 QFN 丝印图说明

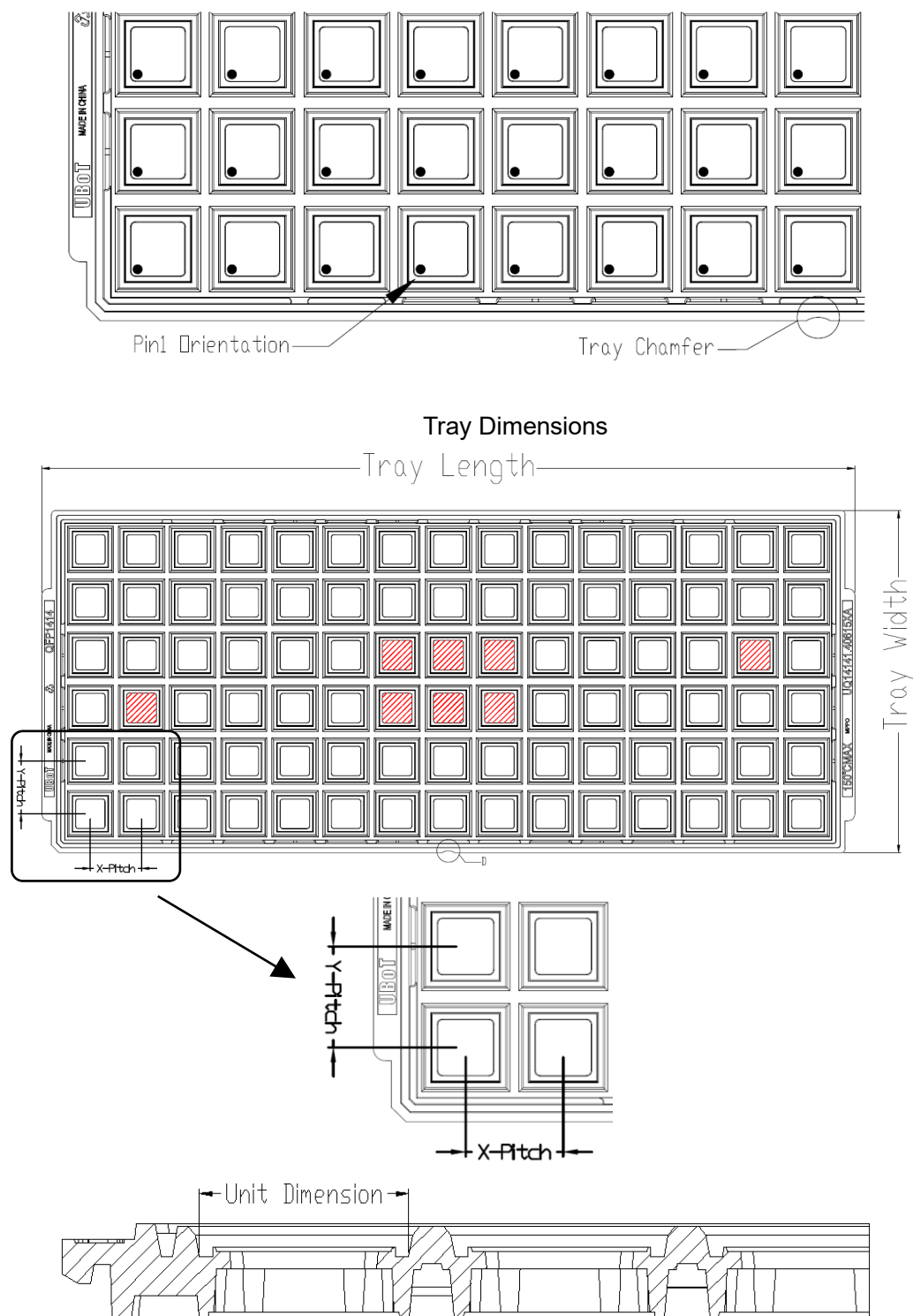
符号与图标	说明
Geehy	极海
Line1	产品系列
Line2	产品型号
Line3	产品批次号
Line4-1	内部追溯码
Line4-2	年份及周数
arm	Arm®授权商标
	PIN1 所在位置

注意：以上每栏位内容均不固定位数。

7. 包装信息

7.1. 托盘包装

图 29 托盘包装示意图



注意：所有照片仅供参考，外观以产品为准。

表格 55 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
G32R430RBI7	UFBGA	64	4900	5.2	5.2	8.8	9.2	322.6	135.9
G32R430UBU7	QFN	60	4900	6.2	6.2	8.8	9.2	322.6	135.9
G32R430CBU7	QFN	48	2600	7.25	7.25	11.8	12.8	322.6	135.9
G32R430KBU7	QFN	32	4900	5.2	5.2	8.7	9.0	322.6	135.9

8. 订货信息

表格 56 产品命名定义

产品名			
G32R430RBI7			
命名示例	定义	命名	信息
G32	产品系列	G32	基于 Arm 的 32 位微控制器
R	产品类型	R	实时控制
430	产品子系列	430	编码器应用
R	引脚数目	K	32 pins
		C	48 pins
		U	60 pins
		R	64 pins
B	闪存存储器容量	B	128KB
I	封装	U	QFN
		I	UFBGA (Pitch 0.5)
7	温度范围	7	工业级温度范围: -40°C~105°C
空白	选项	XXX	已编程的器件代号
		空白	托盘式包装
		R	卷带式包装
		T	料管式包装

表格 57 订货信息列表

订货编码	FLASH(KB)	DTCM(KB)	ITCM(KB)	SPQ	封装	包装	温度范围
G32R430RBI7	128	16	32	4900	UFBGA64	托盘	-40°C ~ 105°C
G32R430UBU7	128	16	32	4900	QFN60	托盘	-40°C ~ 105°C
G32R430CBU7	128	16	32	2600	QFN48	托盘	-40°C ~ 105°C
G32R430KBU7	128	16	32	4900	QFN32	托盘	-40°C ~ 105°C

注意: SPQ 是最小包装数量。

9. 常用功能模块命名

表格 58 常用功能模块命名

全称	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
三角法数学单元	TMU
自适应实时存储器加速器	ART
嵌套向量中断控制器	NVIC
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒中断控制器	WIC
独立看门狗定时器	IWDG
窗口看门狗定时器	WWDG
定时器	TMR
低功耗定时器	LPTMR
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
温度传感器	TSEN
数字模拟转换器	DAC
比较器	COMP
实时时钟	RTC
备份域	BKP
I2C 接口	I2C
串行外设接口	SPI
通用异步同步收发器	USART

10. 版本历史

表格 59 文件版本历史

日期	版本	变更历史
2026.4	1.0	• 初始版本
2026.7	1.1	• 修改“ESD 绝对最大额定值”表格参数

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿 responsibility，包括任何一般、特殊因使用或无法使用本手册及产

品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2026 珠海极海半导体有限公司 – 保留所有权利